

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-268350

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

G02F 1/136
G02F 1/13
G02F 1/1345
G09F 9/30
H01L 29/786
H01L 21/336

(21)Application number : 09-074202

(71)Applicant : SEIKO EPSON CORP

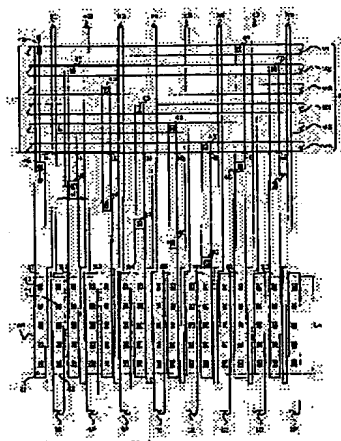
(22)Date of filing : 26.03.1997

(72)Inventor : MURADE MASAO

(54) SUBSTRATE FOR ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE, ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME, AND DRIVING CIRCUIT FOR ACTIVE MATRIX TYPE DISPLAY DEVICE AND PROJECTION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the active matrix type liquid crystal display device which makes a display of high quality by suppressing its display unevenness.
SOLUTION: On a signal transmission line which transmits signals to desired sample-and-hold circuits from closely arranged image signal wires V1 to V6 through repeating wires H1 to H6 of conductive films having different relatively high resistance from the said wires, the repeating wires H1 to H6 connected to the image signal wires V1 to V6 are equalized in width and length and as to a signal path which is not reached only by the repeating wires, the end parts of the repeating wires and the coupling part at a signal supply destination are connected by wires S1 to S6 formed of conductive films having relatively small resistance values.



LEGAL STATUS

[Date of request for examination]

14.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3402112

[Date of registration]

28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

***NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the substrate for active matrix liquid crystal displays with which it connects with two or more signal wiring and these signal wiring, and comes to form a circumference drive circuit with a thin film transistor on a substrate It is the substrate for active matrix liquid crystal displays characterized by coming to connect with this circumference drive circuit wiring for junction connected with this signal wiring, and other wiring for junction, wiring width of face, die length, and thickness which were connected to other signal wiring making this wiring for junction mutual almost equal.

[Claim 2] Said signal wiring is a substrate for active matrix liquid crystal displays according to claim 1 characterized by being the signal wiring which transmits the control signal which controls said circumference drive circuit.

[Claim 3] It is the substrate for active matrix liquid crystal displays according to claim 1 or 2 characterized by wiring said two or more signal wiring mutual almost in parallel in the field which intersects said wiring for junction and is connected, and the line breadth of this signal wiring being almost equal mutually.

[Claim 4] Said circumference drive circuit is a substrate for active matrix liquid crystal displays according to claim 1, 2, or 3 characterized by consisting of the data-line drive circuit connected to two or more data lines.

[Claim 5] Said circumference drive circuit is a substrate for active matrix liquid crystal displays according to claim 1, 2, or 3 characterized by consisting of the scanning-line drive circuit connected to said two or more scanning lines.

[Claim 6] In the substrate for active matrix liquid crystal displays with which it comes to form said data-line drive circuit which it came to form said two or more data lines on a substrate, and was connected to this data line It has the sample hold circuit which is controlled by this data-line drive circuit, samples the picture signal supplied to two or more picture signal lines and these picture signal lines, and is supplied to the data line. It comes to connect with this sample hold circuit wiring for junction connected with this picture signal line. This wiring for junction The substrate for active matrix liquid crystal displays according to claim 1, 2, 3, or 4 characterized by other wiring for junction, wiring width of face, die length, and thickness which were connected to other picture signal lines making it mutual almost equal.

[Claim 7] It is the substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, or 6 which said wiring for junction is connected with wiring for auxiliary junction, and it comes to connect said sample hold circuit with this wiring for auxiliary junction, and is characterized by die length changing with said picture signal lines to which this wiring for auxiliary junction is connected.

[Claim 8] Said picture signal line is a substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, 6, or 7 characterized by being the signal wiring which transmits said picture signal inputted from the outside.

[Claim 9] The picture signal transmitted to said picture signal line is a substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, 6, 7, or 8 characterized by being the picture signal with which phase expansion only of the number of signal wiring was carried out.

[Claim 10] It has the precharge circuit which samples the image auxiliary signal supplied to two or more image auxiliary-signal lines, and is supplied to said data line during 1 horizontal blanking interval. It comes to connect with this precharge circuit wiring for junction connected with this image auxiliary-signal line. This wiring for junction The substrate for active matrix liquid crystal displays given in claims 1, 2, and 3 characterized by other wiring for junction, wiring width of face, die length, and thickness which were connected to other image auxiliary-signal lines making it mutual almost equal.

[Claim 11] It is the substrate for active matrix liquid crystal displays according to claim 1, 2, 3, or 10 which said wiring for junction is connected with wiring for auxiliary junction, and it comes to connect said precharge circuit with this wiring for auxiliary junction, and is characterized by die length changing with said image auxiliary-signal lines to which this wiring for auxiliary junction is connected.

[Claim 12] Said image auxiliary-signal line is a substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 10, or 11 characterized by being the signal wiring which transmits said image auxiliary signal inputted from the outside.

[Claim 13] Said data-line drive circuit and a scanning-line drive circuit are a substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, 5, or 6 characterized by consisting of a shift register circuit at least.

[Claim 14] It is the substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, 5, 6, 12, or 13 which said wiring for junction is connected with wiring for auxiliary junction, and it comes to connect said shift register circuit with this wiring for auxiliary junction, and is characterized by die length changing with said signal wiring to which this wiring for auxiliary junction is connected.

[Claim 15] Said signal wiring is a substrate for active matrix liquid crystal displays according to claim 1, 2, 3, 4, 5, 6, 13, or 14 characterized by being clock signal wiring which transmits said clock signal.

[Claim 16] Said wiring for junction is a substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, or 15 characterized by consisting of polish recon film.

[Claim 17] Said wiring for junction is a substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, or 16 characterized by being the electric conduction film formed at the same process as said scanning line.

[Claim 18] Said wiring for auxiliary junction is a substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, or 17 characterized by consisting of aluminum film or aluminium alloy film.

[Claim 19] Said wiring for auxiliary junction is a substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, or 18 characterized by being the electric conduction film formed at the same process as said data line.

[Claim 20] The transistor which constitutes said circumference drive circuit is a substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, or 19 characterized by being the complementary-type thin film transistor which consists of a P type thin film transistor and an N type thin film transistor.

[Claim 21] Said two or more scanning lines connected in said two or more data lines connected to said data-line drive circuit and said scanning-line drive circuit cross, are arranged, and change. The gate electrode of a pixel transistor linked to this data line is formed with this scanning line, and changes. The substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, or 20 characterized by connecting a pixel electrode to this pixel transistor, and changing.

[Claim 22] Coming to form the pixel electrode connected to said pixel transistor linked to said scanning-line drive circuit and this data line, and this scanning line which were connected to said data-line drive circuit with which it connected with said data line, and said scanning line, and this pixel transistor on the same substrate. The substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, or 21 by which it is characterized.

[Claim 23] The substrate for active matrix liquid crystal displays given in claims 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 18, 19, 20, 21, or 22, The active matrix liquid crystal display characterized by enclosing liquid crystal in spacing of this substrate for active matrix liquid crystal displays, and this opposite substrate while the opposite substrate of the transparency which has a counterelectrode sets suitable spacing and is arranged.

[Claim 24] The projection mold indicating equipment characterized by having condensed the light which modulated the light from the light source and this light source, and was modulated with the active matrix liquid crystal indicating equipment according to claim 23 penetrated or reflected and this active matrix liquid crystal indicating equipment, and having the projection optical means which carries out expansion projection.

[Claim 25] In the drive circuit for active-matrix displays which drives the pixel matrix which has the silicon thin film transistor connected to two or more gate lines and two or more source lines, and these two or more gate lines and a source line It comes to arrange the source line driver line which supplies a signal on a substrate at two or more source lines. This source line driver line is controlled by the output of a shift register and this shift register. It has two or more sample hold means to sample the data signal supplied to two or more signal wiring, and to supply these two or more source lines. Wiring for junction connected to a picture signal bus which it comes to connect these two or more picture signal lines with these two or more sampling means through two or more wiring for junction, and is different The circuit for a drive for active-matrix displays characterized by width of face and die length making it mutual almost equal so that wiring resistance may become almost equal.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the projection mold indicating equipment using the active matrix liquid crystal indicating equipment equipped with the circumference drive circuit which drives a pixel electrode with a thin film transistor (TFT is called hereafter), or the circumference drive circuit, or this active matrix liquid crystal indicating equipment, concerning the time constant adjustment technique of the signal wiring in an electronic circuitry.

[0002]

[Description of the Prior Art] Conventionally, as an active matrix liquid crystal display, while forming a pixel electrode in the shape of a matrix on a glass substrate, the active matrix liquid crystal display of a configuration of forming TFT using an amorphous silicon or polysilicon corresponding to each pixel electrode, impressing an electrical potential difference to each pixel electrode by TFT, and having made it drive liquid crystal is put in practical use. Among these, since it is possible to carry out accumulation formation of the complementary type TFT (for the CMOS mold TFT to be called hereafter.) which constitutes in order circumference drive circuits, such as ON and a shift register circuit which carries out off control, for TFT for sampling the picture signal inputted from the outside and transmitting to the data line or this TFT on the same substrate in the same process with TFT for a pixel drive, the active matrix liquid crystal indicating equipment using poly-Si TFT is put in practical use increasingly widely in recent years.

[0003] Moreover, in case the picture signal supplied to an active matrix liquid crystal display will make a sample hold circuit turn on by the sampling signal and will supply a picture signal to the data line if the frequency band of a picture signal becomes narrow since it is an analog signal, it may be sampled in the part from which the picture signal is changing. In this case, an electrical potential difference higher [since a picture signal just before TFT for sample hold which constitutes a sample hold circuit is turned off is sampled.] while changing in the direction which not an average electrical potential difference but the electrical potential difference of a picture signal goes up — moreover, while changing in the direction in which the electrical potential difference of a picture signal falls, a lower electrical potential difference will be sampled. Moreover, there is fault that the electrical potential difference of a sampling will change only by the timing of a sampling signal shifting for a while merely.

[0004] Carry out phase expansion of the picture signal at two or more sequences, and a frequency band is made to expand there, as shown in drawing 14. According to the timing of each sampling signal X1, X2, —, Xn, it processes so that the voltage level of the picture signals VID1-VID6 under sampling may not change (for example, as shown in the dotted-line ellipse section of drawing 14). during a sampling period, it processes so that the average electrical potential difference of a picture signal may appear. It carries out and there is a technique which supplied them to the active matrix liquid crystal display.

[0005] In the active matrix liquid crystal display constituted so that it might drive with two or more picture signals by which phase expansion was carried out as mentioned above As generally shown in drawing 15, two or more picture signals VID1-VID6 formed in the exterior inputted from the terminals T1-T6 for an input It is transmitted to the picture signal lines V1-V6, and the sample hold circuit 16 switched by the data-line drive circuit 15 is supplied through the wiring H1-H6 for junction.

[0006]

[Problem(s) to be Solved by the Invention] However, since the picture signal lines V1-V6 which supply said picture signals VID1-VID6 from the terminals T1-T6 for an input to a sample hold circuit 16 intersect the sampling signal lines X1, X2, —, Xn outputted from the data-line drive circuit 15, they cannot consist of electric

conduction film (for example, aluminum film of a low resistance metal etc.) same from the terminals T1-T6 for an input to a sample hold circuit 16. Then, conventionally, it is almost parallel to each who consists of aluminum film first, and picture signals VID1-VID6 are transmitted to near the sample hold circuit 16 by the picture signal lines V1-V6 with almost equal wiring width of face. After changing to the connection wiring H1-H6 for junction which consists of other electric conduction film (for example, polish recon film etc.) which crosses through an insulator layer here, it constituted so that it might be transmitted to the source electrode (or drain electrode) of a sample hold circuit 16. In this case, as shown in drawing 16, when a sample hold circuit 16 is arranged side by side according to the general layout approach to a single tier, the wire lengths (distance to contact holes 45-46) L of the wiring H1-H6 for junction will differ. In addition, in drawing 16, the sampling signal lines X1, X2, ..., Xn are formed by the polish recon film of the same ingredient as the wiring H1-H6 for junction etc.

[0007] however — if said wiring H1-H6 for junction consists of polish recon film and the polish recon film will form the wiring width of face W and wiring thickness of the wiring H1-H6 for junction in about 1 law, since resistivity is high double or more figures as compared with the aluminum film — a wire length L — wiring H1 for junction — since it differs for every H6, resistance between this wiring H1 for junction — H6 differs. That is, the picture signal sampled by the sample hold circuit 16 will differ [time constants] every VID, VID6—, and there is a fault that this will become a cause and the display nonuniformity of an active matrix liquid crystal display will arise. then, wiring H1 for junction — it is possible to make resistance regularity by what line breadth W is changed for for every H6 (line breadth W of the wiring H1-H6 for junction is made thin, and line breadth W is made thick when distance is long when the distance from the picture signal lines V1-V6 to a sample hold circuit 16 is short). however, by the approach (drawing 16) of changing the width of face of wiring and making resistance regularity If lap capacity with other picture signal lines cannot be made regularity and wiring width of face is changed by dispersion in a process Since the resistance value change to dispersion in wiring width of face changed with wiring width of face W, and it was notably influenced to dispersion in a process so that the wiring width of face W was narrow, it became clear that the fault that dispersion in a time constant becomes large arises.

[0008] Even if the wiring width of face W of wiring for junction with which the purpose of this invention transmits a signal to a drive circuit from two or more signal wiring varies, dispersion in resistance and capacity value is small, and the time constant between two or more signal wiring is mostly made as for it to homogeneity. It is in offering the active matrix liquid crystal indicating equipment which controls the display nonuniformity of an active matrix liquid crystal indicating equipment, and can perform the high display of grace by this.

[0009]

[Means for Solving the Problem] In the substrate for active matrix liquid crystal displays with which it connects with two or more signal wiring and these signal wiring, and comes to form a circumference drive circuit with a thin film transistor on a substrate in order that this invention may attain said purpose It comes to connect with this circumference drive circuit wiring for junction connected with this signal wiring, and other wiring for junction, wiring width of face, die length, and thickness which were connected to other signal wiring make this wiring for junction mutual almost equal. Thereby, the resistance of said wiring for junction becomes homogeneity mostly. Then, it wires in parallel mostly mutually in the field which intersects wiring for junction in said two or more signal wiring, and by making wiring width of face almost equal, lap capacity with other signal wiring becomes homogeneity mostly, and the time constant to the signal transmitted becomes almost equal between each signal wiring path. Furthermore, since the die length, width of face, and thickness of wiring for junction are almost equal, even if wiring width of face shifts from desired value by process dispersion, dispersion in the resistance between signal wiring paths and capacity value becomes almost fixed, and has the advantage that the display nonuniformity of the active matrix liquid crystal display accompanying dispersion in a time constant can be controlled.

[0010] Moreover, the signal wiring to which this invention is applied is applicable not only to the picture signal line chisel which transmits the picture signal which carried out phase expansion but the image auxiliary-signal line, which transmits the image auxiliary signal for assisting the clock signal line for transmitting the clock signal inputted from the outside to a shift register circuit, or said picture signal.

[0011] Moreover, since said wiring for junction can form said scanning line and said wiring for auxiliary junction with the same process as said data line, and the same ingredient, it has the advantage that there is no need of increasing a process.

[0012]

[Embodiment of the Invention] Hereafter, the suitable example of this invention is explained based on a drawing.

[0013] (Example 1) Drawing 1 shows the example of 1 configuration of the substrate for active matrix liquid crystal indicating equipments of the active matrix liquid crystal indicating equipment with which this invention is

applied. In drawing 1, 10 constitutes an active matrix liquid crystal display, substrates, such as a glass substrate and a quartz substrate, the scanning line arranged in the direction in which 11 and 12 cross mutually and the data line, while 13 are the pixels connected to said scanning line 11 and data line 12, and each pixel 13 consists of TFT which impresses the electrical potential difference according to a picture signal to the pixel electrode which consists of ITO etc., and this pixel electrode one by one. The gate electrode is connected to the same scanning line 11, and TFT of the same line is connected to the pixel electrode with which a drain electrode corresponds. Moreover, TFT of the same train is connected to the data line 12 with the same source electrode. In this example, TFT which drives a pixel consists of so-called poly-Si TFT which uses the polysilicon film as a channel layer, and is formed on the same substrate of the same process with the CMOS mold TFT which constitutes circumference drive circuits (the data-line drive circuit 15, scanning-line drive circuits 14A and 14B, etc.).

[0014] In this example, the scanning-line drive circuits 14A and 14B including Y shift register circuit which carries out the sequential selection drive of this scanning line 11, respectively, a buffer circuit, etc. are established in the both ends of the scanning line 11. The scanning-line drive circuits 14A and 14B impress the same electrical potential difference to each scanning line 11 to the same timing. That is, the one scanning line 11 is driven from the both sides to coincidence. The level omission of an electrical potential difference and signal delay by the parasitic resistance which the scanning line 11 has are mitigable with this.

[0015] On the other hand, in this example, the data-line drive circuit 15 including X shift register circuit which carries out the selection drive of the data line 12, a buffer circuit, etc. is formed. Moreover, the circuits 16 and 17 for a picture signal sampling are established in the both ends of the data line 12. Among these, 17 is a precharge circuit which impresses precharge level to each data line 12, and 16 of another side is a sample hold circuit which impresses the electrical potential difference according to a picture signal to each data line 12. When a fundamental representative circuit schematic shows a sample hold circuit 16 and the precharge circuit 17, they belong to one mold of three kinds shown in drawing 20. That is, TFT160 for sample hold and TFT170 for precharge take one gestalt of the drawing 20 (A) N channel mold TFT, (B) P channel mold TFT, and the (C) CMOS mold TFT. In drawing 20, it is shown to the sampling signal S of the N channel mold TFT that the sampling signal SB of the P channel mold TFT is a reversal signal of the sampling signal S. While the image auxiliary signals NRS1 and NRS2 supplied from the outside are impressed to the source (the connection electrode by the side of the data line 12, and electrode of the opposite side) of the precharge circuit 17 every other to the data line 12 and the precharge circuit 17 is supplied by the image auxiliary-signal lines 19A and 19B, the timing signal NRG supplied from the outside is impressed to the gate electrode of this precharge circuit 17 in common through signal wiring 18. All the data lines 12 are precharged on the level of the image auxiliary signals NRS1 and NRS2 before impression of the picture signal level from a sample hold circuit 16 in 1 horizontal blanking interval by this at coincidence, respectively. Moreover, in case the adjacent drive which changes the polarity of a picture signal every data line 12 is performed, if the image auxiliary signals NRS1 and NRS2 have an opposite polarity mutually, they are effective.

[0016] The picture signals VID1-VID6 which are supplied from the outside and by which phase expansion was carried out are inputted into the source electrode of the sample hold circuit 16 established in the other end of each data line 12 through the picture signal track group 20, and the sampling signal outputted from the data-line drive circuit 15 including the shift register circuit which makes sequential selection of the data line 12, a buffer circuit, etc. is impressed to the gate electrode of a sample hold circuit 16. In this example, although the picture signal was developed to six phases, as long as it is also possible to reduce the number of phase expansions if the write-in property of TFT160 for sample hold is high, and a write-in property is low, the number of phase expansions may be increased. Moreover, it cannot be overemphasized that the RGB parallel signal corresponding to an NTSC signal or a PAL signal may be used. start signal SPX and eight clock signals CLX 1-4 with which the data-line drive circuit 15 is supplied from the outside, the sampling signals X1, X2, and X3 which choose all the data lines 12 by a unit of 1 time in order during 1 horizontal-scanning period based on CLXB 1-4, and Xn is formed and the gate electrode of a sample hold circuit 16 is supplied. Clock signals 1-CLX 4 (or the opposition clock signal CLXB 1-4) are clock signals of the same period with which 45 degrees of phases shifted at a time one by one mutually. By the way, opposition clock signal CLXB 1-4 can also be generated inside an active matrix liquid crystal display substrate by the signal generation circuit prepared in the circumference drive circuit based on the clock signals 1-CLX 4 inputted from the outside.

[0017] Although not limited especially, as shown in drawing 8, the data-line drive circuit 15 is constituted by four shift register circuits, and the shift register circuit of each network operates by one pair of clock signal CLXi(s) of opposition, and CLXBi respectively, and it consists of this example so that it may give the timing signal which

chooses signal wiring every four. Thus, when there are eight clock signals, the clock signals 1-CLX 4 inputted from the outside and each drive frequency of CLXB 1-4 can be reduced, and the load of the circumference drive circuit of an active matrix liquid crystal display is mitigated.

[0018] Moreover, although this example explained how to carry out the sequential drive of the data line 12 for every line to fixed timing, the data line 12 with which a large number, such as three lines, six lines, and 12 lines, adjoin each other can be chosen as coincidence by one data sampling signal, and this example can be used also by the approach of changing tie MINNGU of the picture signal inputted from the outside.

[0019] Moreover, the circumference drive circuit which includes the data-line drive circuit 15 and the scanning-line drive circuits 14A and 14B in this example, Two or more data lines 12 and scanning-line drive circuit 14A which were connected to the data-line drive circuit 15, although the active matrix liquid crystal display with which the pixel electrode connected to the pixel transistor which the scanning line 11 boiled and connected to 14B crossed in the shape of a matrix, changed, and was connected to this data line 12 and the scanning line 11, and this pixel transistor was formed on the same substrate was explained The part of a circumference drive circuit is formed by elevated-temperature poly-Si TFT on a substrate with an expensive quartz substrate etc. An amorphous silicon TFT and process temperature form the field 130 (inside of the drawing 1 dotted line) containing the data line 12 and the scanning line 11, and a pixel 13 by the low-temperature poly-Si TFT of 600 or less degrees on cheap substrates, such as a glass substrate. It is also possible to connect these substrates and to constitute the substrate for active matrix liquid crystal displays.

[0020] Drawing 2 is a picture signal line as signal wiring which the example at the time of applying this invention to the connection of said picture signal track group 20 and sample hold circuit 16 is shown, and V1-V6 are inputted from an external input terminal, and transmits said picture signals VID1-VID6 by which phase expansion was carried out. Although especially these picture signal lines V1-V6 are not restricted, they are formed with the aluminum film of low resistance of the same ingredient as the data line 12. X1, X2, —, Xn are wiring for supplying the sampling signal outputted from said data-line drive circuit 15 to the gate electrode of a sample hold circuit 16, and said sampling signal lines X1, X2, —, Xn are arranged in the direction which intersects said picture signal lines V1-V6, consist of polish recon film of the same ingredient as the scanning line, and they are formed so that the gate electrode of said sample hold circuit 16 may be followed.

[0021] 41 and 42 are the source drain fields of TFT160 for sample hold which constitutes the sample hold circuit 16 which consists of polish recon film respectively prepared in the both sides of said sampling signal lines X1, X2, —, Xn, and the outgoing lines S1-S6 as wiring for auxiliary junction which consists of aluminum film of low resistance etc. are connected to the source field 41 of TFT160 for sample hold in the contact hole 43. Moreover, said data line 12 connected to TFT for a pixel drive is connected to the drain field 42 of each sample hold circuit 16 in the contact hole 44. Although not limited, said data line 12, and the wiring S1-S6 for auxiliary junction and the picture signal lines V1-V6 are constituted especially from this example by the aluminum film formed in the same process.

[0022] Furthermore, in this example, the wiring H1 for junction which the picture signal lines V2-V6 are another layers through an interlayer insulation film, and consists of electric conduction film, such as polish recon film of the same layer as the scanning line 11, in the direction which intersects said picture signal lines V1-V6 between said picture signal line V1 and said wiring S1 for auxiliary junction is formed. In a wiring edge, it connects with the picture signal line V1 in a contact hole 45, and it is connected with the wiring S1 for auxiliary junction for the wiring H1 for junction in a contact hole 46, respectively. Between the other picture signal lines V2-V6 and the wiring S2-S6 for auxiliary junction corresponding to these picture signal lines V2-V6 is similarly connected with the wiring H2-H6 for junction in contact holes 45 and 46, respectively. It is constituted so that picture signals VID1-VID6 may be transmitted to the source electrode of TFT160 for sample hold which constitutes said sample hold circuit 16 through these wiring H1-H6 for junction. And it is made to have the difference in die length absorbed about the signal path of said wiring H1-H6 for junction and sample hold circuit 16 by making said wiring S1-S6 for auxiliary junction extend while said wiring H1-H6 for junction is designed so that the line breadth W, die-length (distance to contact holes 45-46) L, and wiring thickness may become almost equal altogether. Moreover, the picture signal lines V1-V6 are wired mutual almost in parallel at least in the field which intersects the wiring H1-H6 for junction, and the line breadth of these picture signal lines V1-V6 is designed mutual almost equally.

[0023] Since the aluminum film of the resistivity is smaller about double figures compared with the polish recon film when it consists of polish recon film by which the wiring H1-H6 for junction forms the gate electrode of TFT and the wiring S1-S6 for auxiliary junction consists of aluminum film, a difference of the resistance by difference

of the die length of the wiring S1-S6 for auxiliary junction is very small, and ends. Moreover, since the area with other picture signal lines to superimpose becomes equal, lap capacity becomes equal, and the capacity of each picture signal line is also equalized. Therefore, while the time constant to the picture signal transmitted is between each signal path and becomes equal. The line breadth of the picture signal lines V1-V6 is almost equal mutually. The line breadth W between the wiring H1 for junction - H6. Since it is mutual almost equal, Even if line breadth shifts from a design-objective value by process dispersion, dispersion in the capacity value between each picture signal and resistance becomes almost the same, and can control the display nonuniformity accompanying dispersion in this time constant.

[0024] In addition, as for die-length L of said wiring H1-H6 for junction, it is most efficient to set it as less than [of said signal wiring group 20 (picture signal lines V1-V6) / line breadth L1+30micrometer]. Since there is also little occupancy area and it ends while die-length L of the high wiring H1-H6 for junction of resistance becomes the shortest and wiring resistance becomes small, the design with the sufficient effectiveness which can accumulate a circumference drive circuit field minutely can be performed.

[0025] Although the aluminum film formed in the same process constituted said data line 12, and the wiring S1-S6 for auxiliary junction and the picture signal lines V1-V6 from this example, it is also possible to constitute from different electric conduction film, such as metal membrane metallurgy group silicide film, such as Cr and Ta. Moreover, if the wiring H1-H6 for junction is also constituted from metal silicide film, such as not only the polish recon film but metal membranes, such as Mo, Ta, W, and Cr, and Mo-Si, W-Si, low resistance-ization will be attained and effectiveness will go up to equalization of the time constant during wiring further.

[0026] The modification of said example 1 is shown in drawing 3. This modification makes the gate electrode section of TFT160 for sample hold move in a zigzag direction among the sampling signal wiring X1, X2, ..., Xn, so that said contact holes 43 and 44 may be avoided while arranging alternately the contact hole 43 to the source field 41 of TFT160 for sample hold which constitutes said sample hold circuit 16, and the contact hole 44 to the drain field 42. If the aperture of a contact hole is too small, there is a limitation in the size of this contact hole from a factor, like contact resistance becomes high, and it cannot be made larger than the minimum width of face of connection wiring. Then, when it becomes possible to make small the pitch L2 of the sample hold circuit 16 which adjoins each other by using the gate electrode of TFT160 for sample hold as the winding pattern as mentioned above and a pixel pitch becomes small by high integration, a sample hold circuit 16 can be formed according to it.

[0027] The modification of further others of said example 1 is shown in drawing 4. This modification can make small occupancy area of a sample hold circuit 16. That is, it is constituted so that the data line 12 may be connected to the drain field 42 which formed in two forks the edge of the sampling signal wiring X1, X2, ..., Xn which controls the gate electrode of TFT160 for sample hold, and was formed in the outside at two forks. Since the pitch L3 of the adjacent data line 12 is determined depending on the pitch per. [which is not illustrated. / ... which was arranged] pixel etc., when the pitch L3 of the adjacent data line 12 is large as compared with the width of face of the source drain field of TFT160 for sample hold which constitutes one sample hold circuit 16, it constitutes a transistor for TFT160 for sample hold on both sides to the source field 41 like drawing 4. By this, the pitch L3 of the longitudinal direction of a sample hold circuit 16 can be utilized effectively, a useless tooth space can be lessened, and the occupancy area as the whole can be reduced. Moreover, as compared with the sampling signal wiring X1, X2, ..., Xn in drawing 2, when the channel width L4 of TFT160 for sample hold is designed by the same die length, a twice [about] as many drain current characteristic as this is acquired. Although it is needless to say, the source field 41 may be formed in two forks, and the drain field 42 may be formed in a single.

[0028] The modification of further others of said example 1 is shown in drawing 5. When this modification makes distance from said picture signal lines V1-V6 to a sample hold circuit 16 mutual almost the same, it is made for the die length L4 of the wiring S1-S6 for auxiliary junction as well as the wiring H1-H6 for junction to become mutual almost the same. By this configuration, dispersion in the time constant for every picture signal can be made still smaller. In drawing 5, although what formed the gate electrode in two forks for the sample hold circuit 16 was shown, it is also possible to form a gate electrode in a single like drawing 2.

[0029] Moreover, although the example shown by drawing 2 -5 showed TFT160 for sample hold constituted from TFT of a piece channel mold, it cannot be overemphasized that this TFT160 for sample hold may be the N channel mold TFT (drawing 20 A), or you may be the P channel mold TFT (drawing 20 B).

[0030] The modification of further others of said example is shown in drawing 6. This modification is the CMOS mold TFT (what prepared P channel mold TFT42P and N channel mold TFT42N in juxtaposition.) about said

TFT160 for sample hold. It forms by drawing 20 C. In order to make coincidence turn on P channel mold TFT42P and N channel mold TFT42N, it is necessary to impress at coincidence the sampling signal and the sampling signal of opposition which are transmitted to the gate electrode of P channel mold TFT42P to the gate electrode of N channel mold TFT42N. Then, the sampling signal wiring X1 and X2, — containing the gate electrode connected to the data-line drive circuit 15, the gate electrode two Xn(s) turn and are [electrode] P channel mold TFT42P — the object for the P channel molds TFT — sampling signal wiring X1P — X2P, —, XnP —, moreover — the gate electrode of N channel mold TFT42N — the object for the N channel molds TFT — on both sides of the wiring H1-H6 for junction, and the wiring S1-S6 for auxiliary junction, connecting arrangement of sampling signal wiring X1N, X2N, —, the XnN is carried out mutual almost in parallel. By this configuration, it can prevent that a picture signal causes a level fall by the threshold of TFT. Moreover, the pushdown of TFT160 for sample hold can be controlled.

[0031] Although the case where it applied to the part transmitted to a sample hold circuit 16 was explained from the picture signal lines V1-V6 which transmit the picture signals VID1-VID6 by which phase expansion was carried out in the above example The signal-transmission way where this invention is applied only not only in the picture signal line which transmits a picture signal The clock signal inputted into each data line 12 from the precharge circuit 17 which impresses precharge level, or the outside is also applicable to the transmission part between clock signal wiring for transmitting to a shift register circuit, and a shift register circuit.

[0032] (Example 2) Next, the suitable example 2 is explained with the application of this invention. Drawing 7 shows the example at the time of applying this invention between the image auxiliary-signal lines 19A and 19B and the precharge circuits 17 which supply the image auxiliary signals NRS1 and NRS2 (refer to drawing 1) from the outside to the precharge circuit 17 which impresses precharge level to each signal line 12. In this example, although especially the image auxiliary-signal lines 19A and 19B that supply the image auxiliary signals NRS1 and NRS2 are not limited, they consist of metal membranes, such as aluminum film of low resistance, it wires mutual almost in parallel, and that line breadth is almost equal mutually, it is formed broadly and wiring resistance is reduced. Moreover, the wiring H1 and H2 for junction connected to these image auxiliary-signal lines 19A and 19B by turns In contact hole 49B formed in the edge of the side near TFT170 for precharge to image auxiliary-signal line 19B of a side far from TFT170 for precharge Moreover, by connecting, respectively in contact hole 49A formed in the edge of a side far from TFT15A to image auxiliary-signal line 19A of the side near TFT170 for precharge, it is constituted so that it may have the same die length, i.e., the same time constant. thereby — the wiring H1 and H2 for junction — a wire length — it becomes possible by making L (distance from contact hole 49A to 50A, or distance from contact hole 49B to 50B), width of face W, and thickness into about 1 law to make wiring resistance and lap capacity into homogeneity mostly. That is, equalization of a time constant can be attained. Moreover, if the contact holes 49A and 49B which connect the image auxiliary-signal lines 19A and 19B and the wiring H1 and H2 for junction, respectively, are formed as shown in drawing 7, since the die length of wiring-field L6 can be designed to min, it becomes possible to exclude a useless field and an efficient design can be performed. Although not limited especially, it is an effective means in case a signal polarity pulls out wiring for junction from the two opposite signal lines.

[0033] In addition, also in this example, it is formed by the same polish recon film as the polish recon wiring 180 which transmits the signal NRG which the wiring H1 and H2 for junction is installed from the gate electrode of TFT170 for precharge, and controls a gate electrode, and the other end of the wiring H1 and H2 for junction is connected to the source field (or drain field) of TFT170 for precharge through the wiring S1 and S2 for auxiliary junction which consists of aluminum film. TFT170 for precharge is the piece channel mold TFT (the N channel mold TFT or P channel mold TFT.) which formed the gate electrode straight. Although the thing of referring to drawing 20 is shown, it is not limited to this but you may make it use the thing which formed the gate electrode in two forks, or the thing of the CMOS mold TFT (drawing 20 C). By the way, since the signal NRG for a precharge circuit drive and its reversal signal are required when the CMOS mold TFT is used for TFT170 for precharge, at least two signal lines for a precharge circuit drive are needed. Also in this case, it cannot be overemphasized that wiring for junction of this invention is applicable. Moreover, said polish recon wiring 180 is connected to the precharge circuit drive signal line 18 which consists of aluminum film, and the common signal NRG is impressed.

[0034] (Example 3) Drawing 8 shows relation with the signal wiring for transmitting clock signals 1-CLX 4 and opposition clock signal CLXB 1-4 to the X shift register circuit 150 and this which constitute the data-line drive circuit 15 in drawing 1 .

[0035] A transmission gate etc. may be used although the example which constituted the X shift register circuit 150 formed in the data-line drive circuit from this example with clocked inverters 200 and 201 is shown. Clock

signals CLX1-CLX4 are divided into four lines, and are driven by transmitting either of the clock signals of eight phases with which the opposition clock signals CLXB1-CLXB4 of clock signals CLX1-CLX4 were doubled, and 45 degrees of phases shifted at a time mutually to the gate electrode of the clocked inverter of the X shift register circuit 150 through the wiring 91-98 for junction. Then, the same configuration as the wiring H1-H6 for junction and the wiring S1-S6 for auxiliary junction which were used for the signal path from the picture signal lines V1-V6 shown in the configuration to the clock signal lines CLX1-CLX4 and the wiring 91-98 for junction from CLXB1-CLXB4 by drawing 2 to a sample hold circuit 16 is applied. That is, by connecting the X shift register circuit 150 with a clock signal line, the time constant difference between the clock signal sequences of the X shift register circuit 150 is lost, and it becomes possible to control the display nonuniformity in an active matrix liquid crystal display.

[0036] Moreover, at this example, it cannot be overemphasized that it is applicable not only to the X shift register circuit 150 but Y shift register circuit which constitutes the scanning-line drive circuits 14A and 14B in drawing 1. That is, if wiring for junction of this invention and wiring for auxiliary junction are used for a clock signal CLY, the clock signal line which transmits opposition clock signal CLYB, and wiring for junction between Y shift register circuits, the differential delay of the scanning line 11 in every other [to produce] line by the differential delay of the clock signal CLY in Y shift register circuit and an opposition clock signal is controlled, and a high-definition active matrix liquid crystal display can be offered.

[0037] (Example 4) Furthermore, other examples of this invention are shown in drawing 18. The signals N1, N3, and N5 and — which are transmitted to the odd level by which sequential transmission is carried out from a shift register circuit are connected to one terminal of 2 terminal NAND circuit 202, and this connects the enable signal ENB1 inputted into another terminal from the outside. Moreover, the signals N2, N4, and N6 and — which are transmitted to even level are similarly connected to one terminal of 2 terminal NAND circuit 203, and the enable signal ENB2 inputted into another terminal from the outside is connected. If it is made such circuitry, it can perform freely (B) The sampling signals X1 and X2, —, carrying out (A) overlap of between Xn, or detaching it between adjacent sample signal lines like the timing chart shown in drawing 19. Then, what is necessary is just to apply the relation between the wiring H1-H6 for junction used in order to connect the wiring 81 for junction by which trunk connection is carried out to NAND circuit 202 from the enable signal line ENB1 in this example 4, the picture signal lines V1-V6 shown in the wiring 82 for junction by which trunk connection is carried out to NAND circuit 203 from the enable signal line ENB2 at drawing 2, and TFT160 for sample hold circuits, and the wiring S1-S6 for auxiliary junction. Thereby, the signal differential delay of the enable signals ENB1 and ENB2 within the substrate for active matrix liquid crystal indicating equipments is lost, and a high-definition active matrix liquid crystal indicating equipment can be offered.

[0038] Moreover, not only 2 terminal NAND circuits 202 and 203 but the circuit controlled by these enable signals ENB1 and ENB2 can be made complicated circuitry in the NAND circuit of three or more terminals combining the control signal generated inside further two or more enable signals or a circumference drive circuit. Furthermore, a NOR circuit etc. may be used instead of a NAND circuit.

[0039] This invention has at least two or more signal wiring, and in case it constitutes the drive circuit controlled by the signal transmitted to this signal wiring, it can apply it altogether.

[0040] (Explanation of a manufacture process) The manufacture process of a pixel 13 and a picture signal line part is shown in drawing 9 - drawing 11 in order of a process. The sectional view in alignment with A-A' of the pixel top view where the pixel TFT section of drawing 9 - drawing 11 was shown in drawing 17, and a picture signal line part show the sectional view in alignment with B-B' of the top view of drawing 2.

[0041] First, at a process (1), on the substrates 10, such as a glass substrate or a quartz substrate, 500-2000Å of polish recon film is deposited all over a substrate by desirable thickness like about 1000Å with a reduced pressure CVD method etc., and the semi-conductor layer 1 is formed. After formation of the semi-conductor layer 1 deposits the amorphous silicon film, it may perform 600-700 degrees C and annealing treatment of 1 - 8 hours, may form the polish recon film, after it deposits the polish recon film, it drives in and makes silicon amorphous, recrystallizes it by annealing treatment, and may form the polish recon film.

[0042] At the process of (2), according to a photolithography process, an etching process, etc., patterning of the semi-conductor layer 1 is carried out, and layer 1a containing an island-like channel is formed in the pixel TFT section.

[0043] At the process of (3), gate oxide 2 is formed on channel layer 1a by oxidizing thermally the front face of said polish recon film (1a) of the pixel TFT section formed at (2) processes at the temperature of 900-1300 degrees C. Moreover, in order to prevent the camber of a substrate etc., multilayer gate dielectric film may be

formed by having formed 200–500Å of thermal oxidation film upwards, and forming the HTO film, the SiN film, etc. According to this process, finally layer 1a containing a channel becomes 300–1500Å and desirable thickness like 350–450Å, and gate dielectric film 2 becomes about 600–1500Å.

[0044] At the process of (4), the polish recon film 3 of low resistance which should serve as a gate electrode and the scanning line is deposited with a reduced pressure CVD method etc. on said gate dielectric film 2 of the pixel TFT section formed at (3) processes.

[0045] In the process of (5), patterning of said polish recon film 3 formed at (4) processes is carried out according to a photolithography process and an etching process, in the pixel TFT section, the gate electrode (scanning line) 11 is formed and the wiring H1 for junction is formed in coincidence with the same ingredient as the gate electrode 11 at a picture signal line part. As an ingredient of the gate electrode 11 and the wiring H1 for junction, refractory metals or these metal silicide, such as Mo, Ta, Ti, W, etc. besides polish recon, can be used.

[0046] At the process of (6), by using said gate electrode 11 as a mask, the light dope of the impurity (Lynn) is carried out with the dose of 1×10^{13} –/ cm^2 – 3×10^{13} –/ cm^2 , and the low concentration fields 1d and 1e are formed in said channel layer 1. Furthermore, it forms resist film 100 on a gate electrode in a mask layer larger than the width of face of the gate electrode 11, and an impurity (Lynn) 101 is driven in with the dose of two to 3×10^{15} –/ cm^2 of 1×10^{15} –/ cm^2 , and the N channel mold TFT is formed. Similarly, although it does not illustrate when forming the P channel mold TFT, after carrying out covering protection of the N channel mold TFT field by the resist, the light dope of the impurity (boron) is carried out with the dose of two to 3×10^{13} –/ cm^2 of 1×10^{13} –/ cm^2 , and the low concentration fields 1d and 1e are formed. Furthermore, a mask layer larger than the width of face of gate electrode 3a is formed on gate electrode 3a, an impurity (boron) is driven in with the dose of two to 3×10^{15} –/ cm^2 of 1×10^{15} –/ cm^2 , and the P channel mold TFT is formed. The field by which the mask was carried out by this serves as the Rheydt Lee doped drain (LDD) structure, and the CMOS mold TFT which consists of the N channel mold TFT and the P channel mold TFT is formed. Moreover, you may change 1d and 1e field into an offset condition without carrying out the light dope of the impurity. Moreover, although Pixel TFT was formed with the N channel mold TFT in this example, it cannot be overemphasized that you may form with the P channel mold TFT.

[0047] At the process of (7), the 1st interlayer insulation film 4 which consists of NSG film (silicate glass film which does not include boron and Lynn) etc. is deposited on thickness like 5000–15000Å under temperature like 800 degrees for example, with an ordinary pressure CVD method etc. so that said gate electrode 11 and the wiring H1 for junction may be covered. (Drawing 10) By dry etching etc., a contact hole 5 is punctured in the location corresponding to a source field at the pixel TFT section, and the contact holes 45 and 46 for connecting with the wiring H1 for junction corresponding to this 1st interlayer insulation film 4 at the process of (8) are punctured by the picture signal line part. As the puncturing approach of said contact holes 5, 45, and 46, the direction which punctured the contact hole of an anisotropy by dry etching, such as reactive ion etching and reactant ion beam etching, is advantageous to highly-minute-izing which is a pixel. Moreover, when it carries out combining this dry etching and wet etching and an aperture is formed in the shape of a taper, effectiveness is in the open-circuit prevention at the time of wiring connection.

[0048] The low resistance electric conduction film 6 is made to deposit by the spatter by metal membrane metallurgy group silicide film, such as aluminum and an aluminium alloy, on a substrate in the process of (9). In the pixel TFT section, it connects with source field 1b through a contact hole 5, and the low resistance electric conduction film 6 is connected to the wiring H1 for junction through the KONTAKU holes 45 and 46 in a picture signal line part.

[0049] At the process of (10), patterning of said low resistance electric conduction film 6 is carried out according to a photolithography process and an etching process, the data line 12 which serves as a source electrode is formed so that it may connect with source field 1b, and the picture signal line V1 and the wiring 51 for auxiliary junction which are connected to the wiring H1 for junction are formed. Moreover, other picture signal wiring V2–V6 is formed in coincidence in this case.

[0050] the process of (11) — the said data-line 12, picture signal line V1–V6, and wiring 51 top for auxiliary junction — a wrap — like — the 2nd interlayer insulation film 7 like the BPSG film (boron and silicate glass film including Lynn) — for example, plasma ozone TEOS — low and ordinary pressure ozone TEOS — it forms in thickness like 5000–15000Å under low temperature like 500 degrees by low etc. Or the flattening film without a level difference configuration may be formed by applying the organic film etc. with a spin coat. (Drawing 11) At the process of (12), a contact hole 8 is formed in the location corresponding to the drain field of the pixel TFT section according to a photolithography process, an etching process, etc. to the superposition film which consists

of said 2nd interlayer insulation film 7, and the 1st interlayer insulation film 4 and gate dielectric film 2 under it. As the puncturing approach of said contact hole 8, the direction which punctured the contact hole of an anisotropy by dry etching, such as reactive ion etching and reactant ion beam etching, is advantageous to highly-minute-izing which is a pixel. Moreover, when it carries out combining this dry etching and wet etching and an aperture is formed in the shape of a taper, effectiveness is in the open-circuit prevention at the time of wiring connection. [0051] At the process of (13), in the pixel TFT section, it is a spatter, for example, the ITO film 9 set to pixel electrode 9a on said 2nd interlayer insulation film 7 is formed in thickness like 1500Å. At this time, the ITO film 9 is connected to high concentration drain field 1c in the TFT section in a contact hole 8.

[0052] At the process of (14), pixel electrode 9a is formed according to a photolithography process, an etching process, etc. to said ITO film 9 in the pixel TFT section.

[0053] And it changes with the substrate for active matrix liquid crystal displays by forming in thickness like about 200–1000Å the orientation film which consists of polyimide etc., if it applies on said pixel electrode 9 and the 2nd interlayer insulation film 7, and performing rubbing (orientation processing). In addition, in the case of the active matrix liquid crystal display of a reflective mold, the film with reflection factors high as said pixel electrode 9a, such as aluminum, may be formed.

[0054] In addition, by this example, although not limited especially, as shown in drawing 17, in order to add the capacity which **** to drain field 1c of Pixel TFT, drain field 1c was installed and capacity line 3a by which the upper part is always supplied to constant potential through gate dielectric film 2 is arranged. This capacity line 3a is formed at the same ingredient as said scanning line 11, and the same process. Moreover, although it was the dead space currently shaded by the black matrix on an opposite substrate in order that the disclination generating section of the liquid crystal produced in response to the effect of longitudinal direction electric fields, such as pixel electrode 9a, etc. might cause degradation of screen-display grace conventionally By arranging capacity line 3a in this disclination generating field section, the high-definition active matrix liquid crystal display which a flicker etc. does not generate can be offered, without degrading the opening area which the light of a pixel penetrates.

[0055] As mentioned above, the wiring H1–H6 for junction which consists of polish recon film in the example of drawing 2 – drawing 8 is formed in the polish recon film 11 and coincidence used as the gate electrode in said TFT section. Moreover, the picture signal lines V1–V6 which consist of aluminum film in the example of drawing 2 – drawing 8, the image auxiliary-signal lines 19A and 19B, the clock signal lines CLX1–CLX4, CLXB1–CLXB4, and the wiring S1–S6 for auxiliary junction are formed in the aluminum film and coincidence used as the data line 12 in said TFT section. Although it is needless to say, other signal wiring, each wiring for junction, and wiring for auxiliary junction can also be formed at the same process. By this, the example of drawing 2 – drawing 8 can be realized, without changing a process in any way.

[0056] (Explanation of an active matrix liquid crystal indicating equipment) Drawing 12 (A) shows the top view of the active matrix liquid crystal indicating equipment produced by this example. Drawing 12 (B) shows the sectional view of this active matrix liquid crystal display in the Y–Y' line of (A). As shown in drawing 15, the data-line drive circuit 15 and the scanning-line drive circuits 14A and 14B on said substrate 10 for active matrix liquid crystal indicating equipments are arranged outside the periphery of said opposite substrate 110, in order for the dc component of a charge to protect degradation of orientation film, such as polyimide, and liquid crystal. moreover, in the front face of the pixel electrode formed on said substrate for active matrix liquid crystal displays The opposite substrate 110 which has the electrode 111 which consists of transparence electric conduction film, such as ITO film which can impress transparence counterelectrode potential on glass or transparence substrates, such as neo SERAMU or a quartz Suitable spacing is set and it is arranged, and as shown in drawing 7, it closes by the sealant 112 on the data line 12 between this data-line drive circuit 15 and these scanning-line drive circuits 14A and 14B, and a pixel 13, and the scanning line 11. Furthermore, a screen-display field outside forms circumference abandonment in the same layer as the black matrix 113 on the opposite substrate 31 so that light may not leak as a module in the ***** case. In addition, 114 is the terminal 115 for a vertical substrate flow for supplying the common electrode potential LCCOM (referring to drawing 1) to the counterelectrode 111 prepared in the opposite substrate 110 side from an active matrix liquid crystal display side, it makes the electroconductive glue which has a predetermined path intervene on this terminal 115 for a vertical substrate flow, and it is constituted so that this opposite substrate and a flow may be aimed at. Moreover, the external I/O terminal 116 is arranged at the part outside said opposite substrate 110, and is connected with Exterior IC by wire bonding, ACF (anisotropic conductive Film) sticking by pressure, etc.

[0057] As shown in drawing 12 (B), it constitutes as an active matrix liquid crystal display by being filled up with the liquid crystal 117, such as well-known TN (Twisted Nematic) mold liquid crystal, in spacing by which the

closure was carried out by the sealant 112 in the perimeter, and closing a liquid crystal enclosure hole with encapsulant 118. Moreover, if the polymer dispersed liquid crystal which distributed liquid crystal as a minute grain in the macromolecule is used, since the orientation film and a polarizing plate will become unnecessary, efficiency for light utilization becomes high and a bright active matrix liquid crystal display can be offered. Furthermore, in the case of the reflective [a pixel electrode]-by nontransparent of ITO film to aluminum film etc. mold liquid crystal display using a metal membrane with a high reflection factor, SH (Super Homeotropic) mold liquid crystal with which perpendicular orientation of the liquid crystal molecule was mostly carried out in the state of no electrical-potential-difference impressing may be used. Furthermore, it cannot be overemphasized that other liquid crystal may be used.

[0058] (Explanation of a projection mold indicating equipment) The example of a configuration of a data projector is shown in drawing 13 as an example of a projection mold indicating equipment which applied the active matrix liquid crystal indicating equipment of said configuration as a light valve.

[0059] As for the light source of a halogen lamp etc., the light valve with which a heat ray cut-off filter and 373,375,376 consist in a **** mirror and 372, and a reflective mirror and 378,379,380 consist [371] of an active matrix liquid crystal indicating equipment of said example, respectively in the dichroic mirror of blue reflection, green reflection, and the red reflex, and 374,377, and 383, in drawing 13 , 370 is [a dichroic prism and 385] control units. The picture signal supplied to the substrate for active matrix liquid crystal displays shown in drawing 1 from the outside, a clock signal, and various control signals are formed with said control unit 385.

[0060] In the data projector of this example, the white light emitted from the light source 370 is condensed by the **** mirror 371, the heat ray cut-off filter 372 is passed, the heat ray of an infrared region is intercepted, and incidence only of the light is carried out to a dichroic mirror system. And first, blue glow (in general wavelength of 500nm or less) is reflected by the blue reflective dichroic mirror 373, and other light (yellow light) penetrates. The reflected blue glow changes a direction by the reflective mirror 374, and it carries out incidence to the blue modulation light valve 378.

[0061] On the other hand, incidence of the light which penetrated said blue reflective dichroic mirror 373 is carried out to the green reflective dichroic mirror 375, green light (in general wavelength of 500-600nm) is reflected, and the red light (in general wavelength of 600nm or more) which is other light penetrates. Incidence of the green light reflected with the dichroic mirror 375 is carried out to the green modulation light valve 379. Moreover, the red light which penetrated the dichroic mirror 375 changes a direction by the reflective mirror 376,377, and it carries out incidence to the red modulation light valve 380.

[0062] A light valve 378,379,380 is driven, respectively with the primary signal of the blue supplied from the digital disposal circuit which is not illustrated, green, and red, and the light which carried out incidence to each light valve is compounded with a dichroic prism 383, after becoming irregular with each light valve. The dichroic prism 383 is formed so that the red-reflex-side 381 and the blue-reflector 382 may cross mutually. And with a projector lens 384, on a screen, expansion projection is carried out and the color picture compounded with the dichroic prism 383 is displayed.

[0063]

[Effect of the Invention] In the substrate for active matrix liquid crystal displays with which this invention is connected to two or more signal wiring and these signal wiring on a substrate, and it comes to form a circumference drive circuit with a thin film transistor as explained above It comes to connect with this circumference drive circuit wiring for junction connected with this signal wiring, and other wiring for junction, wiring width of face, die length, and thickness which were connected to other signal wiring make this wiring for junction mutual almost equal. Thereby, the resistance of said wiring for junction becomes homogeneity mostly. Then, it wires in parallel mostly mutually in the field which intersects wiring for junction in said two or more signal wiring; and by making wiring width of face almost equal, lap capacity with other signal wiring becomes homogeneity mostly; and the time constant to the signal transmitted becomes almost equal between each signal wiring path. Furthermore, since the die length, width of face, and thickness of wiring for junction are almost equal, even if wiring width of face shifts from desired value by process dispersion, dispersion in the resistance between signal wiring paths and capacity value becomes almost fixed, and is effective in the ability to control the display nonuniformity of the active matrix liquid crystal display accompanying dispersion in a time constant. The signal wiring to which this invention is applied is effective in being applicable to various kinds of signal wiring called the image auxiliary-signal line which transmits the image auxiliary signal for assisting clock signal wiring for transmitting not only the picture signal line chisel that transmits the picture signal by which phase expansion was carried out but the clock signal inputted from the outside to a shift register circuit, or said picture signal.

[0064] Moreover, since said wiring for junction can form said scanning line and said wiring for auxiliary junction with the same process as said data line, and the same ingredient, it does not have the need of increasing a process, and it is effective in the ability to control the display nonuniformity of an active matrix liquid crystal display.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing an example of the substrate for active matrix liquid crystal indicating equipments which constitutes the active matrix liquid crystal indicating equipment with which this invention is applied.

[Drawing 2] The wiring layout pattern showing the example at the time of applying to the connection of the signal wiring group and sample hold circuit which supply a picture signal [in / for this invention / an active matrix liquid crystal display].

[Drawing 3] The wiring layout pattern showing the modification of the example of drawing 2.

[Drawing 4] The wiring layout pattern showing other modifications of the example of drawing 2.

[Drawing 5] The wiring layout pattern showing the modification of further others of the example of drawing 2.

[Drawing 6] The wiring layout pattern showing the modification of further others of the example of drawing 2.

[Drawing 7] The wiring layout pattern showing the 2nd example of this invention.

[Drawing 8] The block diagram showing the clock signal wiring group which supplies a clock signal to the shift register circuit and it in a suitable active MATORIKU mold liquid crystal display with the application of this invention.

[Drawing 9] The sectional view showing the manufacture process (first half) of the pixel TFT section of the active matrix liquid crystal display which applied this invention, and a picture signal line part in order of a process.

[Drawing 10] The sectional view showing the manufacture process (middle stage) of the pixel TFT section of the active matrix liquid crystal display which applied this invention, and a picture signal line part in order of a process.

[Drawing 11] The sectional view showing the manufacture process (second half) of the pixel TFT section of the active matrix liquid crystal display which applied this invention, and a picture signal line part in order of a process.

[Drawing 12] (A) is the top view of an active matrix liquid crystal display, and (B) is the sectional view of Y-Y' of (A).

[Drawing 13] The data projector outline block diagram as an example of a projection mold indicating equipment which applied the active matrix liquid crystal indicating equipment of an example as a light valve.

[Drawing 14] The timing chart as an example which shows the relation of the picture signal and the sampling signal of an active matrix liquid crystal indicating equipment by which phase expansion was carried out.

[Drawing 15] The circuit diagram as an example showing the connection relation of the signal wiring group and sample hold circuit which supply the picture signal in the substrate for active matrix liquid crystal displays.

[Drawing 16] The layout pattern showing connection wiring with the signal wiring group and sample hold circuit which supply the picture signal in the substrate for active matrix liquid crystal displays.

[Drawing 17] The top view of the pixel section of the active matrix liquid crystal display of this invention.

[Drawing 18] The block diagram as an example showing the signal wiring group which supplies an enable signal to the NAND circuit and it in a suitable active MATORIKU mold liquid crystal display with the application of this invention.

[Drawing 19] The sampling signals X1 and X2 which are the timing-chart Figs. as an example showing the relation between the enable signal in a suitable active MATORIKU mold liquid crystal display, and the sampling signals X1,

X2, —, Xn with the application of this invention, and (B) the adjacent sampling signals X1 and X2, —, the timing chart Fig. that between Xn overlaps mutually, and (A) B Adjoin each other, —, the timing chart from which are mutually separated of between Xn.

[Drawing 20] The representative circuit schematic in which showing the equal circuit which constitutes the sample hold circuit and precharge circuit of an active matrix liquid crystal indicating equipment of this invention, and showing (A) N channel mold TFT, (B) P channel mold TFT, and the (C) CMOS mold TFT, respectively.

[Description of Notations]

1 Semi-conductor Layer

1a Channel field

2 Gate Dielectric Film

3 Polish Recon Film

3a Capacity line

4 1st Interlayer Insulation Film

5 Eight Contact hole

6 Aluminum Film

7 2nd Interlayer Insulation Film

9 ITO Film

9a Pixel electrode

10 Substrate

11 Scanning Line

12 Data Line (Source Electrode)

13 Pixel

14A, 14B Y shift register circuit

15 Data-Line Drive Circuit

16 Sample Hold Circuit

17 Precharge Circuit

18 Precharge Circuit Drive Signal Line

19A Image auxiliary-signal line (NRS1)

19B Image auxiliary-signal line (NRS2)

20 Picture Signal Wiring Group

41 TFT Source Electrode for Sample Hold

42 TFT Drain Electrode for Sample Hold

42A P channel mold TFT

42B N channel mold TFT

43 TFT Source Electrode Side Contact Hole for Sample Hold

44 TFT Drain Electrode Side Contact Hole for Sample Hold

45 Contact Hole between Picture Signal Line and Wiring for Junction

46 Contact Hole between Wiring for Junction, and Wiring for Auxiliary Junction

49A The contact hole between an image auxiliary-signal line (NRS1) and wiring for junction

49B The contact hole between an image auxiliary-signal line (NRS2) and wiring for junction

50A The contact hole of the wiring H1 for junction, and the wiring S1 for auxiliary junction

50B The contact hole of the wiring H2 for junction, and the wiring S2 for auxiliary junction

81 82 Wiring for junction from an enable signal line to a NAND circuit

91-98 Wiring for junction from a clock signal line to a shift register circuit

100 Resist

101 High Concentration Impurity Ion

110 Opposite Substrate

111 Counterelectrode

112 Sealant

113 Black Matrix

115 Vertical Flow Terminal

116 External I/O Terminal

117 Liquid Crystal

118 Encapsulant

130 Pixel Field
150 X Shift Register Circuit
160 TFT for Sample Hold
170 TFT for Precharge
180 Polish Recon Wiring
200,201 Clocked inverter
202,203 NAND circuit
370 Lamp
373,375,376 Dichroic mirror
374,377 Reflective mirror
378,379,380 Light valve
383 Dichroic Prism
384 Projection Lens
385 Control Unit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-268350

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁶
 G 0 2 F 1/136
 1/13
 1/1345
 G 0 9 F 9/30
 H 0 1 L 29/786

識別記号

5 0 0

5 0 5

3 3 0

F I

G 0 2 F 1/136

5 0 0

1/13

5 0 5

1/1345

G 0 9 F 9/30

3 3 0 Z

H 0 1 L 29/78

6 1 2 C

審査請求 未請求 請求項の数25 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願平9-74202

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 村出 正夫

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

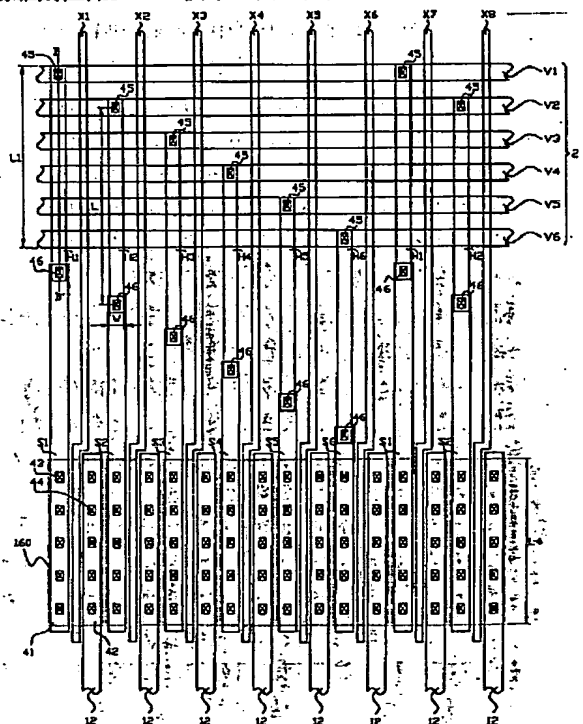
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置用基板およびそれを用いたアクティブマトリクス型液晶表示装置、アクティブマトリクス型表示装置用駆動回路並びに投写型表示装置

(57) 【要約】

【課題】 アクティブマトリクス型液晶表示装置では、画像信号が入力用端子からサンプルホールド回路まで中継用配線に接続して伝送されるように構成されるが、時定数のばらつきが大きいという不具合がある。

【解決手段】 互いに近接して配設された複数の画像信号配線 (V1～V6) からこれと異なる比較的高抵抗の導電膜の中継用配線 (H1～H6) を経て所望のサンプルホールド回路 (16) に信号を伝送する信号伝送路において、前記複数の画像信号配線 (V1～V6) と接続された前記中継用配線 (H1～H6) の幅および長さを等しく形成するとともに、前記中継用配線のみでは届かない信号経路に関しては、中継用配線の端部と信号供給先の結合部との間をより抵抗値の低い導電膜からなる配線 (S1～S6) によって接続させるようにした。



(2)

【特許請求の範囲】

【請求項1】 基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とするアクティブマトリクス型液晶表示装置用基板。

【請求項2】 前記信号配線は、前記周辺駆動回路を制御する制御信号を伝送する信号配線であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項3】 前記複数の信号配線は前記中継用配線と交差し接続される領域では、互いにほぼ平行に配線され、該信号配線の線幅は互いにほぼ等しいことを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項4】 前記周辺駆動回路は複数のデータ線に接続されたデータ線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項5】 前記周辺駆動回路は複数の前記走査線に接続された走査線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項6】 基板上に複数の前記データ線が形成されてなり、該データ線に接続された前記データ線駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該データ線駆動回路により制御され、複数の画像信号線と該画像信号線に供給される画像信号をサンプリングしてデータ線に供給するサンプルホールド回路とを有し、該画像信号線と接続された中継用配線が該サンプルホールド回路に接続されてなり、該中継用配線は、他の画像信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3または4に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項7】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記サンプルホールド回路が接続されてなり、該補助中継用配線は接続される前記画像信号線によって、長さが異なることを特徴とする請求項1、2、3、4または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項8】 前記画像信号線は、外部から入力される前記画像信号を伝送する信号配線であることを特徴とする請求項1、2、3、4、6または7に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項9】 前記画像信号線に伝送される画像信号は、信号配線数だけ相展開された画像信号であることを

特徴とする請求項1、2、3、4、6、7または8に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項10】 1水平帰線期間中に、複数の画像補助入力信号線に供給される画像補助入力信号をサンプリングして前記データ線に供給するプリチャージ回路を有し、該画像補助入力信号線と接続された中継用配線が該プリチャージ回路に接続されてなり、該中継用配線は、他の画像補助入力信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項11】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記プリチャージ回路が接続されてなり、該補助中継用配線は接続される前記画像補助入力信号線によって、長さが異なることを特徴とする請求項1、2、3または10に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項12】 前記画像補助入力信号線は、外部から入力される前記画像補助入力信号を伝送する信号配線であることを特徴とする請求項1、2、3、10または11に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項13】 前記データ線駆動回路及び走査線駆動回路は少なくともシフトレジスタ回路からなることを特徴とする請求項1、2、3、4、5または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項14】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記シフトレジスタ回路が接続されてなり、該補助中継用配線は接続される前記信号配線によって、長さが異なることを特徴とする請求項1、2、3、4、5、6、12または13に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項15】 前記信号配線は、前記クロック信号を伝送するクロック信号配線であることを特徴とする請求項1、2、3、4、5、6、13または14に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項16】 前記中継用配線は、ポリシリコン膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14または15に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項17】 前記中継用配線は、前記走査線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15または16に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項18】 前記補助中継用配線は、アルミニウム膜もしくはアルミニウム合金膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16または

(3)

3

17に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項19】 前記補助中継用配線は、前記データ線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17または18に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項20】 前記周辺駆動回路を構成するトランジスタは、P型薄膜トランジスタおよびN型薄膜トランジスタから成る相補型薄膜トランジスタであることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18または19に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項21】 前記データ線駆動回路に接続された複数の前記データ線と前記走査線駆動回路に接続された複数の前記走査線が交差して配置されて成り、該データ線に接続した画素トランジスタのゲート電極は該走査線で形成されて成り、該画素トランジスタに画素電極が接続されて成ることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19または20に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項22】 前記データ線に接続された前記データ線駆動回路と前記走査線に接続された前記走査線駆動回路と該データ線及び該走査線に接続した前記画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されてなることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20または21に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項23】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、18、19、20、21または22に記載のアクティブマトリクス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリクス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項24】 光源と、該光源からの光を変調して、透過もしくは反射する請求項23に記載のアクティブマトリクス型液晶表示装置と、該アクティブマトリクス型液晶表示装置により変調された光を集光し拡大投射する投写光学手段とを備えていることを特徴とする投写型表示装置。

【請求項25】 複数のゲート線及び複数のソース線と、該複数のゲート線及びソース線に接続されたシリコン薄膜トランジスタとを有する画素マトリクスを駆動するアクティブマトリクス表示装置用駆動回路において、基板

4

上に、複数のソース線に信号を供給するソース線ドライバー回路が配置されてなり、該ソース線ドライバー回路はシフトレジスタ、及び該シフトレジスタの出力により制御され、複数の信号配線に供給されるデータ信号をサンプリングして該複数のソース線に供給する複数のサンプルホールド手段とを有し、該複数の画像信号線は複数の中継用配線を介して該複数のサンプリング手段に接続されてなり、異なる画像信号バスに接続される中継用配線は、配線抵抗がほぼ等しくなるように幅及び長さが互いにほぼ等しくすることを特徴とするアクティブマトリクス表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子回路における信号配線の時定数調整技術に関し、例えば薄膜トランジスタ（以下、TFTと称す。）を有した画素電極を駆動する周辺駆動回路、或いは周辺駆動回路を備えたアクティブマトリクス型液晶表示装置、或いは該アクティブマトリクス型液晶表示装置を用いた投写型表示装置に関する。

【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示装置としては、ガラス基板上にマトリクス状に画素電極を形成すると共に、各画素電極に対応してアモルファスシリコンやポリシリコンを用いたTFTを形成して、各画素電極にTFTにより電圧を印加して液晶を駆動するようにした構成のアクティブマトリクス型液晶表示装置が実用化されている。このうちポリシリコンTFTを用いたアクティブマトリクス型液晶表示装置は、外部から入力される画像信号をサンプリングしてデータ線に伝送するためのTFTや該TFTを順番にオン、オフ制御するシフトレジスタ回路等の周辺駆動回路を構成する相補型TFT（以下、CMOS型TFTと称す。）を画素駆動用TFTとともに同一プロセスで同一基板上に集積形成することが可能なため、近年広く実用化されるようになってきている。

【0003】また、アクティブマトリクス型液晶表示装置に供給される画像信号はアナログ信号であるため、画像信号の周波数帯域が狭くなると、サンプリング信号でサンプルホールド回路をオンさせてデータ線に画像信号を供給する際に、画像信号が変化している部分でサンプリングしてしまうことがある。この場合、サンプルホールド回路を構成するサンプルホールド用TFTがオフされる直前の画像信号がサンプリングされるため、平均の電圧ではなく、画像信号の電圧が上がる方向に変化しているときには高めの電圧が、また画像信号の電圧が下がる方向に変化しているときには低めの電圧がサンプリングされてしまう。また、サンプリング信号のタイミングがほんの少しずれただけでサンプリングの電圧が変化してしまうという不具合がある。

(4)

5

【0004】そこで、例えば図14に示すように、画像信号を複数系列に相展開して周波数帯域を拡大させて、それぞれのサンプリング信号 X_1 、 X_2 、…、 X_n のタイミングに合わせて、サンプリング中の画像信号 V_{ID1} ～ V_{ID6} の電圧レベルが変化しないように処理（例えば図14の点線楕円部に示すように、サンプリング期間中は画像信号の平均電圧が現れるように処理する。）して、それらをアクティブマトリクス型液晶表示装置に供給するようにした技術がある。

【0005】前記のように相展開された複数の画像信号により駆動されるように構成されたアクティブマトリクス型液晶表示装置では、一般に図15に示すように、入力用端子 T_1 ～ T_6 から入力される外部で形成された複数の画像信号 V_{ID1} ～ V_{ID6} は、画像信号線 V_1 ～ V_6 に伝送され、中継用配線 H_1 ～ H_6 を経て、データ線駆動回路15によってスイッチングされるサンプルホールド回路16に供給される。

【0006】

【発明が解決しようとする課題】しかしながら、前記画像信号 V_{ID1} ～ V_{ID6} を入力用端子 T_1 ～ T_6 からサンプルホールド回路16まで供給する画像信号線 V_1 ～ V_6 は、データ線駆動回路15から出力されるサンプリング信号線 X_1 、 X_2 、…、 X_n と交差するため、入力用端子 T_1 ～ T_6 からサンプルホールド回路16まで同一の導電膜（例えば、低抵抗金属のアルミニウム膜等）で構成することができない。そこで、従来は、画像信号 V_{ID1} ～ V_{ID6} をまずアルミニウム膜からなる互いにほぼ平行で配線幅がほぼ等しい画像信号線 V_1 ～ V_6 でサンプルホールド回路16の近傍まで伝送し、ここで絶縁膜を介して交差する他の導電膜（例えば、ポリシリコン膜等）からなる中継用の接続配線 H_1 ～ H_6 に乗り換えてからサンプルホールド回路16のソース電極（もしくはドレイン電極）に伝送されるように構成していた。この場合、一般的なレイアウト方法に従って、図16に示すようにサンプルホールド回路16を一列に並べて配置すると、中継用配線 H_1 ～ H_6 の配線長（コンタクトホール45から46までの距離） L が異なることとなる。尚、図16においてサンプリング信号線 X_1 、 X_2 、…、 X_n は、中継用配線 H_1 ～ H_6 と同一材料のポリシリコン膜等で形成される。

【0007】ところが、前記中継用配線 H_1 ～ H_6 がポリシリコン膜で構成されていると、ポリシリコン膜はアルミニウム膜と比較して抵抗率が2桁以上高いため、中継用配線 H_1 ～ H_6 の配線幅 W 及び配線膜厚をほぼ一定に形成すると、配線長 L が中継用配線 H_1 ～ H_6 毎に異なるため、該中継用配線 H_1 ～ H_6 間の抵抗が異なる。つまり、サンプルホールド回路16にサンプリングされる画像信号が V_{ID1} ～ V_{ID6} 毎に時定数が異なることとなり、これが原因となってアクティブマトリクス型液晶表示装置の表示ムラが生じてしまうという欠点があ

6

る。そこで、中継用配線 H_1 ～ H_6 毎に線幅 W を変える（画像信号線 V_1 ～ V_6 からサンプルホールド回路16までの距離が短い場合は、中継用配線 H_1 ～ H_6 の線幅 W を細くし、距離が長い場合は線幅 W を太くする）ことにより抵抗値を一定にすることが考えられる。しかしながら、配線の幅を変えて抵抗値を一定にする方法（図16）では、他の画像信号線との重なり容量を一定にすることができず、また、配線幅がプロセスのばらつきによって変動すると、配線幅のばらつきに対する抵抗値の変化は配線幅 W によって異なり、配線幅 W が狭いほどプロセスのばらつきに顕著に影響を受けるので、時定数のばらつきが大きくなるという不具合が生じることが明らかになった。

【0008】本発明の目的は、複数の信号配線から駆動回路に信号を伝送する中継用配線の配線幅 W がばらついても、抵抗値および容量値のばらつきは小さく、複数の信号配線間の時定数をほぼ均一にできる。これによって、アクティブマトリクス型液晶表示装置の表示ムラを抑制し、品位の高い表示を行えるアクティブマトリクス型液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明は、前記目的を達成するために、基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくする。これにより、前記中継用配線の抵抗値がほぼ均一になる。そこで、前記複数の信号配線の中継用配線と交差する領域で互いにほぼ並行に配線し、配線幅をほぼ等しくすることで、他の信号配線との重なり容量がほぼ均一になり、伝送される信号に対する時定数が各信号配線経路間でほぼ等しくなる。更に、中継用配線の長さおよび幅および膜厚がほぼ等しいため、プロセスばらつきにより配線幅が目標値からずれても信号配線経路間の抵抗値および容量値のばらつきはほぼ一定になり、時定数のばらつきに伴うアクティブマトリクス型液晶表示装置の表示ムラを抑制することができるという利点がある。

【0010】また、本発明が適用される信号配線は、相展開した画像信号を伝送する画像信号線のみだけでなく、外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号線、あるいは前記画像信号を補助するための画像補助入力信号を伝送する画像補助入力信号線にも適用できる。

【0011】また、前記中継用配線は前記走査線と、前記補助中継用配線は前記データ線と同一工程、同一材料で形成できるため工程を増加する必要が無いという利点がある。

(5)

7

【0012】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0013】（実施例1）図1は、本発明が適用されるアクティブマトリクス型液晶表示装置のアクティブマトリクス型液晶表示装置用基板の一構成例を示す。図1において、10はアクティブマトリクス型液晶表示装置を構成する一方のガラス基板や石英基板等の基板、11および12は互いに交差する方向に配設された走査線およびデータ線、13は前記走査線11とデータ線12とに接続された画素で、各画素13はITO等からなる画素電極とこの画素電極に順次画像信号に応じた電圧を印加するTFTからなる。同一行のTFTはそのゲート電極が同一の走査線11に接続され、ドレイン電極が対応する画素電極に接続されている。また、同一列のTFTはそのソース電極が同一のデータ線12に接続されている。この実施例においては、画素を駆動するTFTはポリシリコン膜をチャネル層とするいわゆるポリシリコンTFTで構成されており、周辺駆動回路（データ線駆動回路15や走査線駆動回路14A、14B等）を構成するCMOS型TFTとともに同一プロセスにより、同一基板上に形成される。

【0014】本実施例では、走査線11の両端にそれぞれ該走査線11を順次選択駆動するYシフトレジスタ回路やバッファ回路等を含む走査線駆動回路14A、14Bが設けられている。走査線駆動回路14Aと14Bは、同一の電圧を同一のタイミングで各走査線11に印加する。つまり、1本の走査線11をその両側から同時に駆動する。これによって、走査線11の有する寄生抵抗による電圧のレベル落ちや信号遅延を軽減することができる。

【0015】一方、本実施例では、データ線12を選択駆動するXシフトレジスタ回路やバッファ回路等を含むデータ線駆動回路15が設けられている。また、データ線12の両端に画像信号サンプリング用の回路16、17が設けられている。このうち17は各データ線12にプリチャージレベルを印加するプリチャージ回路であり、他方の16は各データ線12に画像信号に応じた電圧を印加するサンプルホールド回路である。サンプルホールド回路16及びプリチャージ回路17は、基本的な等価回路図で示すと図20に示す3通りのいずれかの型に属する。すなわち、サンプルホールド用TFT160、及びプリチャージ用TFT170は、図20の(A)Nチャネル型TFT、(B)Pチャネル型TFT、(C)CMOS型TFTのいずれかの形態を取る。図20において、Nチャネル型TFTのサンプリング信号Sに対して、Pチャネル型TFTのサンプリング信号SBはサンプリング信号Sの反転信号であることを示している。プリチャージ回路17のソース（データ線12側の接続電極と反対側の電極）には外部から供給される画像補助入

8

力信号NRS1、NRS2がデータ線12に対して1本おきに印加され、画像補助入力信号線19A、19Bによってプリチャージ回路17に供給されるとともに、該プリチャージ回路17のゲート電極には外部から供給されるタイミング信号NRGが信号配線18を介して共通に印加されている。これによって、すべてのデータ線12は1水平帰線期間中でサンプルホールド回路16からの画像信号レベルの印加前に、画像補助入力信号NRS1、NRS2のレベルにそれぞれ同時にプリチャージされる。また、隣り合うデータ線12毎に画像信号の極性を変える駆動を行う際には、画像補助入力信号NRS1、NRS2は互いに反対の極性を持つようにすると有効である。

【0016】各データ線12の他端に設けられたサンプルホールド回路16のソース電極には、外部から供給される相展開された画像信号VID1～VID6が画像信号線群20を介して入力され、サンプルホールド回路16のゲート電極にはデータ線12を順次選択するシフトレジスタ回路やバッファ回路等を含むデータ線駆動回路15から出力されるサンプリング信号が印加されている。本実施例では、画像信号を6相に展開したが、サンプルホールド用TFT160の書込特性が高ければ相展開数を減らすことも可能であるし、書込特性が低ければ相展開数を増やしても良い。また、NTSC信号やPAL信号に対応したRGBパラレル信号でも良いことは言うまでもない。データ線駆動回路15は、外部から供給されるスタート信号SPXと8個のクロック信号CLX1～4、CLXB1～4に基づいて1水平走査期間中にすべてのデータ線12を順番に1回ずつ選択するようなサンプリング信号X1、X2、X3、……Xnを形成してサンプルホールド回路16のゲート電極に供給する。クロック信号CLX1～4（またはその逆相クロック信号CLXB1～4）は互いに位相が順次45°ずつずれた同一周期のクロック信号である。ところで、逆相クロック信号CLXB1～4は、外部から入力されたクロック信号CLX1～4を基に、周辺駆動回路内に設けた信号生成回路によってアクティブマトリクス型液晶表示装置基板内部で生成することも可能である。

【0017】特に限定されるものではないが、この実施例では、図8に示すようにデータ線駆動回路15は4系統のシフトレジスタ回路により構成されており、各系統のシフトレジスタ回路は各々逆相の1対のクロック信号CLXi、CLXB_iによって動作され、4本おきに信号配線を選択するタイミング信号を与えるべく構成されている。このようにクロック信号が8個あることにより、外部から入力されるクロック信号CLX1～4、CLXB1～4のそれぞれの駆動周波数を低減することができ、アクティブマトリクス型液晶表示装置の周辺駆動回路の負荷が軽減される。

【0018】また、本実施例では、データ線12を一定

9

のタイミングで1ライン毎に順次駆動していく方法を説明したが、3ラインや6ラインや12ラインといった多数の隣り合うデータ線12を1個のデータサンプリング信号で同時に選択し、外部から入力する画像信号のタイミングを変化させる方法でも本実施例を用いることができる。

【0019】また、本実施例ではデータ線駆動回路15や走査線駆動回路14A、14Bを含む周辺駆動回路と、データ線駆動回路15に接続された複数のデータ線12と走査線駆動回路14A、14Bに接続された走査線11がマトリクス状に交差されて成り、該データ線12及び走査線11に接続された画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されたアクティブマトリクス型液晶表示装置について説明したが、周辺駆動回路の部分を石英基板等の高価な基板上に高温ポリシリコンTFTにより形成し、データ線12及び走査線11と画素13を含む領域130

(図1点線内)をガラス基板等の安価な基板上にアモルファスシリコンTFTやプロセス温度が600度以下の低温ポリシリコンTFTにより形成し、これらの基板を繋ぎ合わせてアクティブマトリクス型液晶表示装置用基板を構成することも可能である。

【0020】図2は、本発明を前記画像信号線群20とサンプルホールド回路16との接続部に適用した場合の実施例を示すもので、V1～V6が外部入力端子から入力され前記相展開された画像信号VID1～VID6を伝送する信号配線としての画像信号線である。これらの画像信号線V1～V6は、特に制限されないがデータ線12と同一材料の低抵抗のアルミニウム膜によって形成されている。。X1、X2、…、Xnは前記データ線駆動回路15から出力されるサンプリング信号をサンプルホールド回路16のゲート電極に供給するための配線であり、前記サンプリング信号線X1、X2、…、Xnは前記画像信号線V1～V6と交差する方向に配設され、走査線と同一材料のポリシリコン膜からなり、前記サンプルホールド回路16のゲート電極と連続するように形成されている。

【0021】41、42は各々前記サンプリング信号線X1、X2、…、Xnの両側に設けられたポリシリコン膜からなるサンプルホールド回路16を構成するサンプルホールド用TFT160のソース・ドレイン領域であり、サンプルホールド用TFT160のソース領域41には低抵抗のアルミニウム膜等からなる補助中継用配線としての引き出し線S1～S6がコンタクトホール43にて接続されている。また、各サンプルホールド回路16のドレイン領域42には画素駆動用TFTに接続される前記データ線12がコンタクトホール44にて接続されている。この実施例では、特に限定されないが、前記データ線12および補助中継用配線S1～S6と画像信号線V1～V6は同一プロセスにて形成されるアルミニ

(6)

10

ウム膜によって構成されている。

【0022】さらに、本実施例では、前記画像信号線V1と前記補助中継用配線S1との間に、前記画像信号線V1～V6と交差する方向に画像信号線V2～V6とは層間絶縁膜を介して別層で、走査線11と同一層のポリシリコン膜等の導電膜からなる中継用配線H1が設けられる。中継用配線H1は配線端において、画像信号線V1とはコンタクトホール45にて、補助中継用配線S1とはコンタクトホール46にてそれぞれ接続される。同様にその他の画像信号線V2～V6と、該画像信号線V2～V6に対応した補助中継用配線S2～S6との間も、コンタクトホール45及び46において中継用配線H2～H6とそれぞれ接続される。これらの中継用配線H1～H6を経て前記サンプルホールド回路16を構成するサンプルホールド用TFT160のソース電極に画像信号VID1～VID6を伝送するように構成されている。そして、前記中継用配線H1～H6はすべてその線幅Wおよび長さ(コンタクトホール45から46までの距離)L及び配線膜厚がほぼ等しくなるように設計されているとともに、前記中継用配線H1～H6とサンプルホールド回路16との信号経路に関しては、前記補助中継用配線S1～S6を延長させることによって長さの違いを吸収するようにされている。また、画像信号線V1～V6は中継用配線H1～H6と交差する領域では少なくとも互いにほぼ平行に配線され、該画像信号線V1～V6の線幅は互いにほぼ等しく設計されている。

【0023】中継用配線H1～H6がTFTのゲート電極を形成するポリシリコン膜で構成され、補助中継用配線S1～S6がアルミニウム膜で構成される場合、その抵抗率はアルミニウム膜の方がポリシリコン膜に比べて2桁程度小さいので、補助中継用配線S1～S6の長さの相違による抵抗値の相違は極めて小さくて済む。また、他の画像信号線との重畳する面積が等しくなるため重なり容量が均等になり、各画像信号線の容量も均一化される。そのため、伝送される画像信号に対する時定数が各信号経路間で等しくなるとともに、画像信号線V1～V6の線幅が互いにほぼ等しく、中継用配線H1～H6間の線幅Wも互いにほぼ等しいため、プロセスばらつきにより線幅が設計目標値からずれても各画像信号間の容量値及び抵抗値のばらつきはほぼ同じになり、該時定数のばらつきに伴う表示ムラを抑制することができる。

【0024】なお、前記中継用配線H1～H6の長さLは前記信号配線群20(画像信号線V1～V6)の線幅L1+30μm以内に設定するのが最も効率的である。抵抗値の高い中継用配線H1～H6の長さLが最も短くなって配線抵抗が小さくなるとともに、占有面積も少なくて済むため、周辺駆動回路領域を微細に集積できる効率の良い設計が行える。

【0025】本実施例では、前記データ線12および補助中継用配線S1～S6と画像信号線V1～V6は同一

(7)

11

プロセスにて形成されるアルミニウム膜によって構成したが、Cr、Ta等の金属膜や金属シリサイド膜等の異なる導電膜で構成することも可能である。また、中継用配線H1～H6もポリシリコン膜だけではなく、Mo、Ta、W、Cr等の金属膜やMo-Si、W-Si等の金属シリサイド膜で構成すれば、低抵抗化が可能となり、配線間の時定数の均一化に更に効果が上がる。

【0026】図3には前記実施例1の変形例を示す。この変形例は、前記サンプルホールド回路16を構成するサンプルホールド用TFT160のソース領域41へのコンタクトホール43とドレイン領域42へのコンタクトホール44とを互い違いに配置するとともに、サンプリング信号配線X1、X2、…、Xnのうちサンプルホールド用TFT160のゲート電極部分を前記コンタクトホール43、44を回避するように蛇行させたものである。コンタクトホールの開孔部が小さ過ぎると、コンタクト抵抗が高くなる等の要因から該コンタクトホールのサイズには限界があり、また、接続配線の最小幅よりも大きくすることができない。そこで、前記のようにサンプルホールド用TFT160のゲート電極を蛇行したパターンとすることにより隣り合うサンプルホールド回路16のピッチL2を小さくすることが可能となり、高集積化により画素ピッチが小さくなったときにそれに合わせてサンプルホールド回路16を形成することができるようになる。

【0027】図4には前記実施例1の更に他の変形例を示す。この変形例は、サンプルホールド回路16の占有面積を小さくすることが可能である。すなわち、サンプルホールド用TFT160のゲート電極を制御するサンプリング信号配線X1、X2、…、Xnの端部を二股に形成し、その外側に二股に形成したドレイン領域42にデータ線12を接続させるように構成されている。隣り合うデータ線12のピッチL3は、図示しない配列された1画素当たりのピッチ等に依存して決定されるので、隣り合うデータ線12のピッチL3が一つのサンプルホールド回路16を構成するサンプルホールド用TFT160のソース・ドレイン領域の幅に比較して大きいような場合には、サンプルホールド用TFT160を図4のようにソース領域41に対して両側にトランジスタを構成するようにする。これにより、サンプルホールド回路16の横方向のピッチL3を有効に活用して無駄なスペースを少なくし、全体としての占有面積を低減することができる。また、図2におけるサンプリング信号配線X1、X2、…、Xnと比較して、サンプルホールド用TFT160のチャンネル幅L4を同じ長さで設計した場合に約2倍のドレイン電流特性が得られる。言うまでもないが、ソース領域41を二股に形成し、ドレイン領域42をシングルに形成しても良い。

【0028】図5には前記実施例1の更に他の変形例を示す。この変形例は、前記画像信号線V1～V6からサ

12

ンプルホールド回路16までの距離を互いにほぼ同一とすることにより、中継用配線H1～H6と同様に補助中継用配線S1～S6の長さL4も互いにほぼ同一となるようにしたものである。かかる構成によって、画像信号ごとの時定数のばらつきをさらに小さくすることができる。図5においては、サンプルホールド回路16をゲート電極を二股に形成したものを示したが、図2と同様にゲート電極をシングルに形成することも可能である。

【0029】また、図2～5で示した実施例では、片チャンネル型のTFTで構成したサンプルホールド用TFT160を示したが、該サンプルホールド用TFT160はNチャンネル型TFT（図20A）であっても、Pチャンネル型TFT（図20B）であっても良いことは言うまでもない。

【0030】図6には前記実施例のさらに他の変形例を示す。この変形例は、前記サンプルホールド用TFT160をCMOS型TFT（Pチャンネル型TFT42PとNチャンネル型TFT42Nを並列に設けたもの。図20C）で形成したものである。Pチャンネル型TFT42PとNチャンネル型TFT42Nを同時にオンさせるには、Pチャンネル型TFT42Pのゲート電極に伝送されるサンプリング信号と逆相のサンプリング信号をNチャンネル型TFT42Nのゲート電極に同時に印加する必要がある。そこで、データ線駆動回路15に接続されるゲート電極を含むサンプリング信号配線X1、X2、…、Xnが2系統化され、Pチャンネル型TFT42Pのゲート電極にはPチャンネル型TFT用サンプリング信号配線X1P、X2P、…、XnPが、またNチャンネル型TFT42Nのゲート電極にはNチャンネル型TFT用サンプリング信号配線X1N、X2N、…、XnNが中継用配線H1～H6および補助中継用配線S1～S6を挟んで互いにほぼ平行に接続配置されている。かかる構成によって、画像信号がTFTのしきい値分だけレベル低下を起こすのを防止することができる。また、サンプルホールド用TFT160のプッシュダウンを抑制することができる。

【0031】以上の実施例においては、相展開された画像信号VID1～VID6を伝送する画像信号線V1～V6からサンプルホールド回路16へ伝送する部分に適用した場合を説明したが、本発明が適用される信号伝送回路は、画像信号を伝送する画像信号線のみでなく、各データ線12にプリチャージレベルを印加するプリチャージ回路17や外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号配線とシフトレジスタ回路との間の伝送部分に適用することもできる。

【0032】（実施例2）次に、本発明を適用して好適な実施例2を説明する。図7は各信号線12にプリチャージレベルを印加するプリチャージ回路17に外部からの画像補助入力信号NRS1、NRS2（図1参照）を

13

供給する画像補助入力信号線 19A、19B とプリチャージ回路 17 との間に本発明を適用した場合の実施例を示す。この実施例においては、画像補助入力信号 NRS 1、NRS 2 を供給する画像補助入力信号線 19A、19B は特に限定されないが低抵抗のアルミニウム膜等の金属膜からなり、互いにほぼ平行に配線され、その線幅が互いにほぼ等しく、幅広く形成されて配線抵抗が低減される。また、これらの画像補助入力信号線 19A、19B に交互に接続される中継用配線 H1、H2 は、プリチャージ用 TFT 170 から遠い側の画像補助入力信号線 19B に対してはプリチャージ用 TFT 170 に近い側の縁部に形成されたコンタクトホール 49B にて、またプリチャージ用 TFT 170 に近い側の画像補助入力信号線 19A に対しては TFT 15A から遠い側の縁部に形成されたコンタクトホール 49A にてそれぞれ接続されることによって同一の長さすなわち同一の時定数を有するように構成されている。これにより、中継用配線 H1、H2 の配線長さ（コンタクトホール 49A から 50A までの距離、あるいは、コンタクトホール 49B から 50B までの距離）L 及び幅 W 及び膜厚をほぼ一定にすることで、配線抵抗及び重なり容量をほぼ均一にすることが可能となる。すなわち、時定数の均一化を図ることができる。また、画像補助入力信号線 19A、19B と中継用配線 H1、H2 をそれぞれ接続するコンタクトホール 49A、49B を図 7 に示すように形成すると、配線領域 L6 の長さを最小に設計できるため、無駄な領域を省くことが可能となり、効率良い設計が行える。特に限定されないが、信号極性が正反対な 2 本の信号線から中継用配線を引き出す際に有効な手段である。

【0033】なお、この実施例においても中継用配線 H1、H2 は、プリチャージ用 TFT 170 のゲート電極から延設されゲート電極を制御する信号 NRG を伝送するポリシリコン配線 180 と同じポリシリコン膜で形成され、中継用配線 H1、H2 の他端はアルミニウム膜からなる補助中継用配線 S1、S'2 を介してプリチャージ用 TFT 170 のソース領域（あるいはドレイン領域）に接続される。プリチャージ用 TFT 170 は、ゲート電極をストレートに形成した片チャンネル型 TFT（Nチャンネル型 TFT あるいは Pチャンネル型 TFT。図 20 参照）のものが示されているが、これに限定されず、ゲート電極を二股に形成したものあるいは CMOS 型 TFT（図 20C）のものをを用いるようにしても良い。ところで、プリチャージ用 TFT 170 に CMOS 型 TFT を用いた場合は、プリチャージ回路駆動用信号 NRG とその反転信号が必要なため、プリチャージ回路駆動用信号線は少なくとも 2 本必要となる。この場合にも本発明の中継用配線を適用できることは言うまでもない。また、前記ポリシリコン配線 180 はアルミニウム膜からなるプリチャージ回路駆動信号線 18 に接続され、共通の信号 NRG が印加される。

(8)

14

【0034】（実施例 3）図 8 は、図 1 におけるデータ線駆動回路 15 を構成する X シフトレジスタ回路 150 とこれにクロック信号 CLX1~4、逆相クロック信号 CLXB1~4 を伝送するための信号配線との関係を示す。

【0035】本実施例では、データ線駆動回路内に形成された X シフトレジスタ回路 150 をクロックドインバータ 200、201 で構成した例を示すが、トランミッションゲート等を使用しても良い。クロック信号 CLX1~CLX4 は 4 系統に分割され、クロック信号 CLX1~CLX4 の逆相クロック信号 CLXB1~CLXB4 を合わせて互いに位相が 45° ずつずれた 8 相のクロック信号のいずれかが中継用配線 91~98 を経て、X シフトレジスタ回路 150 のクロックドインバータのゲード電極に伝送されることにより駆動される。そこで、クロック信号線 CLX1~CLX4、CLXB1~CLXB4 から中継用配線 91~98 までの構成に、図 2 で示した画像信号線 V1~V6 からサンプルホールド回路 16 に至る信号経路に用いられた中継用配線 H1~H6 及び補助中継用配線 S1~S6 と同様の構成を適用する。すなわち、クロック信号線と X シフトレジスタ回路 150 を接続することにより、X シフトレジスタ回路 150 のクロック信号系列間の時定数差がなくなり、アクティブマトリクス型液晶表示装置における表示ムラを抑制することが可能となる。

【0036】また、本実施例では、X シフトレジスタ回路 150 だけでなく、図 1 における走査線駆動回路 14A、14B を構成する Y シフトレジスタ回路にも適用できることは言うまでもない。すなわち、クロック信号 CLY と逆相クロック信号 CLYB を伝送するクロック信号線と Y シフトレジスタ回路間における中継用の配線に本発明の中継用配線及び補助中継用配線を用いれば、Y シフトレジスタ回路内でのクロック信号 CLY と逆相クロック信号の遅延差による生じる 1 行おきの走査線 11 の遅延差を抑制し、高品位なアクティブマトリクス型液晶表示装置を提供できる。

【0037】（実施例 4）また、更に本発明の他の実施例を図 18 に示す。これは、例えばシフトレジスタ回路から順次伝送されてくる奇数段に伝送される信号 N1、N3、N5、…を 2 端子 NAND 回路 202 の一方の端子に接続し、もう一方の端子に外部から入力されるイネーブル信号 ENB1 を接続する。また同様に、偶数段に伝送される信号 N2、N4、N6、…を 2 端子 NAND 回路 203 の一方の端子に接続し、もう一方の端子に外部から入力されるイネーブル信号 ENB2 を接続する。このような回路構成にすれば、図 19 に示すタイミングチャートのように、隣り合うサンプル信号線間でサンプリング信号 X1、X2、…、Xn 間を（A）オーバーラップさせたり、（B）離したりすることが自由にできる。そこで、本実施例 4 におけるイネーブル信号線 EN

(9)

15

B1からNAND回路202に中継接続される中継用配線81と、イネーブル信号線ENB2からNAND回路203に中継接続される中継用配線82に、図2に示す画像信号線V1～V6とサンプルホールド回路用TFT160とを接続するために用いる中継用配線H1～H6及び補助中継用配線S1～S6の関係を適用すれば良い。これにより、アクティブマトリクス型液晶表示装置用基板内でのイネーブル信号ENB1及びENB2の信号遅延差が無くなり、高品位なアクティブマトリクス型液晶表示装置を提供できる。

【0038】また、これらのイネーブル信号ENB1、ENB2により制御される回路は2端子NAND回路202、203だけでなく3端子以上のNAND回路で更に複数のイネーブル信号や周辺駆動回路内部で生成した制御信号を組み合わせ、複雑な回路構成にすることも可能である。更に、NAND回路の代わりにNOR回路等を使用しても良い。

【0039】本発明は、少なくとも2本以上の信号配線を有し、該信号配線に伝送される信号により制御される駆動回路を構成する際には、全て適用できる。

【0040】（製造プロセスの説明）図9～図11に画素13及び画像信号線部の製造プロセスを工程順に示す。図9～図11の画素TFT部は図17に示された画素平面図のA-A'に沿った断面図、画像信号線部は図2の平面図のB-B'に沿った断面図を示す。

【0041】まず、工程（1）で、ガラス基板あるいは石英基板等の基板10上に、減圧CVD法等によりポリシリコン膜を500～2000オングストローム好ましくは約1000オングストロームのような厚さで基板全面に堆積して半導体層1を形成する。半導体層1の形成は、アモルファスシリコン膜を堆積した後、600～700℃、1～8時間のアニール処理を施して、ポリシリコン膜を形成しても良いし、ポリシリコン膜を堆積した後、シリコンを打ち込んで非晶質化し、アニール処理により再結晶化してポリシリコン膜を形成しても良い。

【0042】（2）の工程では、フォトリソグラフィ工程及びエッチング工程等により、半導体層1をパターニングして、画素TFT部には島状のチャネルを含む層1aを形成する。

【0043】（3）の工程では、（2）工程で形成された画素TFT部の前記ポリシリコン膜（1a）の表面を900～1300℃の温度で熱酸化することにより、チャネル層1a上にゲート酸化膜2を形成する。また、基板のそり等を防ぐために、熱酸化膜を200～500オングストローム形成した上にHTO膜やSiN膜等を形成することにより、多層のゲート絶縁膜を形成しても良い。この工程により、チャネルを含む層1aは最終的に300～1500オングストローム、好ましくは350～450オングストロームのような厚さとなり、ゲート絶縁膜2は約600～1500オングストロームとな

16

る。

【0044】（4）の工程では、（3）工程で形成された画素TFT部の前記ゲート絶縁膜2の上に、ゲート電極及び走査線となるべき低抵抗のポリシリコン膜3を減圧CVD法等により堆積する。

【0045】（5）の工程では、（4）工程で形成された前記ポリシリコン膜3をフォトリソグラフィ工程及びエッチング工程によりパターニングして、画素TFT部ではゲート電極（走査線）11を形成し、同時に画像信号線部では、ゲート電極11と同じ材料により中継用配線H1を形成する。ゲート電極11及び中継用配線H1の材料としては、ポリシリコンの他、Mo、Ta、Ti、W等の高融点金属あるいはこれらの金属シリサイドを用いることができる。

【0046】（6）の工程では、前記ゲート電極11をマスクとして、前記チャネル層1に不純物（リン）を $1 \times 10^{13} / \text{cm}^2 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてライトドープして低濃度領域1d、1eを形成する。さらに、ゲート電極11の幅よりも広いマスク層でゲート電極上にレジスト膜100形成して、不純物（リン）101を $1 \times 10^{15} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、Nチャネル型TFTを形成する。同様に、Pチャネル型TFTを形成する場合は、図示しないが、Nチャネル型TFT領域をレジストで被覆保護した上で、不純物（ボロン）を $1 \times 10^{13} / \text{cm}^2 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてライトドープして低濃度領域1d、1eを形成する。さらに、ゲート電極3aの幅よりも広いマスク層をゲート電極3a上に形成して、不純物（ボロン）を $1 \times 10^{15} / \text{cm}^2 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込んで、Pチャネル型TFTを形成する。これによりマスクされた領域がライトリー・ドープト・ドレイン（LDD）構造となり、Nチャネル型TFT、Pチャネル型TFTから成るCMOS型TFTを形成する。また、不純物をライトドープしないで、1d、1e領域をオフセット状態にしても良い。また、本実施例では画素TFTをNチャネル型TFTで形成したが、Pチャネル型TFTで形成しても良いことは言うまでもない。

【0047】（7）の工程では、前記ゲート電極11及び中継用配線H1を覆うように、NSG膜（ボロンおよびリンを含まないシリケートガラス膜）等からなる第1の層間絶縁膜4を、例えば常圧CVD法等により800度のような温度下で500.0～1500.0オングストロームのような厚さに堆積する。（図10）（8）の工程では、この第1の層間絶縁膜4にドライエッチング等により、画素TFT部ではソース領域に対応した位置にコンタクトホール5を開孔し、画像信号線部では中継用配線H1に接続するためのコンタクトホール45、46を開孔する。前記コンタクトホール5、45及び46の開孔方法としては、反応性イオンエッチングや反応性イオ

(10)

17

ンビームエッチング等のドライエッチングにより異方性のコンタクトホールを開孔した方が画素の高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせて行い、開孔部をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0048】(9)の工程では、基板上にアルミニウムやアルミニウム合金等の金属膜や金属シリサイド膜で低抵抗導電膜6をスパッタ法により堆積させる。低抵抗導電膜6は画素TFT部においては、コンタクトホール5を介してソース領域1bに接続され、画像信号線部においては、コンタクトホール45、46を介して中継用配線H1に接続される。

【0049】(10)の工程では、前記低抵抗導電膜6をフォトリソグラフィ工程及びエッチング工程によりパターンニングして、ソース領域1bに接続されるようにソース電極を兼ねるデータ線12を形成し、中継用配線H1に接続される画像信号線V1と補助中継用配線51を形成する。また、この際、他の画像信号配線V2～V6が同時に形成される。

【0050】(11)の工程では、前記データ線12及び画像信号線V1～V6及び補助中継用配線51上を覆うように、BPSG膜(ボロンとリンを含むシリケートガラス膜)のような第2の層間絶縁膜7を、例えばプラズマオゾンTEOS法や常圧オゾンTEOS法等により例えば500度のような低温下で5000～15000オングストロームのような厚さに形成する。あるいは、有機膜等をスピコートにより塗布することで段差形状のない平坦化膜を形成しても良い。(図11)(12)の工程では、前記第2の層間絶縁膜7およびその下の第1の層間絶縁膜4とゲート絶縁膜2からなる重量膜に対してフォトリソグラフィ工程及びエッチング工程等により、画素TFT部のドレイン領域に対応した位置にコンタクトホール8を形成する。前記コンタクトホール8の開孔方法としては、反応性イオンエッチングや反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを開孔した方が画素の高精細化に有利である。また、該ドライエッチングとウェットエッチングを組み合わせて行い、開孔部をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0051】(13)の工程では、画素TFT部において、前記第2層間絶縁膜7上に画素電極9aとなるITO膜9をスパッタ法で、例えば1500オングストロームのような厚さに形成する。このときTFT部では、ITO膜9がコンタクトホール8にて高濃度ドレイン領域1cに接続される。

【0052】(14)の工程では、画素TFT部において、前記ITO膜9に対してフォトリソグラフィ工程及びエッチング工程等により画素電極9aを形成する。

【0053】そして、前記画素電極9および第2層間絶縁膜7上にかけてはポリイミド等からなる配向膜を約2

18

0.0～1000オングストロームのような厚さに形成して、ラビング(配向処理)を行なうことでアクティブマトリクス型液晶表示装置用基板と成る。尚、反射型のアクティブマトリクス型液晶表示装置の場合、前記画素電極9aとしてアルミニウム等の反射率の高い膜を形成しても良い。

【0054】なお、特に限定されないが、本実施例では、図1-7に示すように、画素TFTのドレイン領域1cに寄因する容量を付加するために、ドレイン領域1cを延設し、その上部をゲート絶縁膜2を介して常に定電位が供給される容量線3aを配置している。該容量線3aは前記走査線11と同一材料、同一工程で形成されている。また、従来は画素電極9a等の横方向電界等の影響を受けて生じる液晶のディスクリネーション発生部は画面表示品位の劣化を引き起こすため、対向基板上的ブラックマトリクスで遮光されていたデッドスペースであったが、該ディスクリネーション発生領域部に容量線3aを配置することで、画素の光が透過する開口面積を劣化させることなく、フリッカー等が発生しない高品位なアクティブマトリクス型液晶表示装置を提供することができる。

【0055】上述のように、図2～図8の実施例におけるポリシリコン膜からなる中継用配線H1～H6は、前記TFT部におけるゲート電極となるポリシリコン膜11と同時に形成される。また、図2～図8の実施例におけるアルミニウム膜からなる画像信号線V1～V6、画像補助入力信号線19A、19B、クロック信号線CLX1～CLX4、CLXB1～CLXB4及び補助中継用配線S1～S6は、前記TFT部におけるデータ線12となるアルミニウム膜と同時に形成される。言うまでもないが、その他の信号配線と各々の中継用配線及び補助中継用配線も同一の工程で形成できる。これによって、何らプロセスを変更することなく図2～図8の実施例を実現することができる。

【0056】(アクティブマトリクス型液晶表示装置の説明)図12(A)は本実施例で作製したアクティブマトリクス型液晶表示装置の平面図を示す。図12(B)は、(A)のY-Y'線における該アクティブマトリクス型液晶表示装置の断面図を示す。図15に示すように、前記アクティブマトリクス型液晶表示装置用基板10上のデータ線駆動回路15及び走査線駆動回路14A、14Bは、電荷の直流成分によりポリイミド等の配向膜や液晶の劣化を防ぐために、前記対向基板110の外周より外側に配置している。また、前記アクティブマトリクス型液晶表示装置用基板上に形成した画素電極の表面には、ガラスやネオセラムあるいは石英といった透明基板上に透明対向電極電位を印加することができるITO膜等の透明導電膜からなる電極111を有する対向基板110が、適当な間隔をおいて配置され、図7に示すように該データ線駆動回路15及び該走査線駆動回路

(11)

19

14A、14Bと画素13間のデータ線12及び走査線11上でシール材112により封止する。更に、画面表示領域外側は、モジュールとして組立の際に光が漏れないように対向基板31上にブラックマトリクス113と同一層で周辺見切りを形成する。尚、114は対向基板110側に設けられた対向電極111に、アクティブマトリクス型液晶表示装置側から共通電極電位LCCOM（図1参照）を供給するための上下基板導通用端子115であり、該上下基板導通用端子115上に所定の径を有する導電性接着剤を介在させて、該対向基板と導通を図るように構成されている。また、外部入出力端子116は前記対向基板110より外側の部分に配置され、ワイヤーボンディング、ACF（anisotropic conductive Film）圧着等により外部ICと接続される。

【0057】図12（B）に示されるように、周囲をシール材112で封止された間隔内に周知のTN（Twisted Nematic）型液晶等の液晶117を充填し、液晶封入孔を封止剤118で封止することにより、アクティブマトリクス型液晶表示装置として構成する。また、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜も偏光板も不要になるため、光利用効率が高くなり、明るいアクティブマトリクス型液晶表示装置を提供できる。更に、画素電極をITO膜からアルミニウム膜等の非透過で反射率の高い金属膜を用いた反射型液晶表示装置の場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（Super Homeotropic）型液晶などを用いても良い。更にその他の液晶を用いても良いことは言うまでもない。

【0058】（投写型表示装置の説明）図13には前記構成のアクティブマトリクス型液晶表示装置をライトバルブとして応用した投写型表示装置の一例としてデータプロジェクタの構成例が示されている。

【0059】図13において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は前記実施例のアクティブマトリクス型液晶表示装置からなるライトバルブ、383はダイクロイックプリズム、385は制御装置である。図1に示されているアクティブマトリクス型液晶表示装置用基板に外部から供給される画像信号やクロック信号、各種制御信号は前記制御装置385で形成される。

【0060】この実施例のデータプロジェクタにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、青色反射ダイク

20

ロイックミラー373により、青色光（概ね500nm以下の波長）が反射され、その他の光（黄色光）は透過する。反射した青色光は反射ミラー374により方向を変え青色変調ライトバルブ378に入射する。

【0061】一方、前記青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光（概ね500～600nmの波長）が反射され、その他の光である赤色光（概ね600nm以上の波長）は透過する。ダイクロイックミラー375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え赤色変調ライトバルブ380に入射する。

【0062】ライトバルブ378、379、380は、図示しない信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光はそれぞれのライトバルブで変調された後、ダイクロイックプリズム383で合成される。ダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに交差するように形成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投射レンズ384によってスクリーン上に拡大投射され、表示される。

【0063】

【発明の効果】以上説明したように、本発明は、基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくする。これにより、前記中継用配線の抵抗値がほぼ均一になる。そこで、前記複数の信号配線を中継用配線と交差する領域で互いにほぼ並行に配線し、配線幅をほぼ等しくすることで、他の信号配線との重なり容量がほぼ均一になり、伝送される信号に対する時定数が各信号配線経路間でほぼ等しくなる。更に、中継用配線の長さおよび幅および膜厚がほぼ等しいため、プロセスばらつきにより配線幅が目標値からずれても信号配線経路間の抵抗値および容量値のばらつきはほぼ一定になり、時定数のばらつきに伴うアクティブマトリクス型液晶表示装置の表示ムラを抑制することができるという効果がある。本発明が適用される信号配線は、相展開された画像信号を伝送する画像信号線のみだけでなく、外部から入力されるクロック信号をシフトレジスタ回路に伝送するためのクロック信号配線、あるいは前記画像信号を補助するための画像補助入力信号を伝送する画像補助入力信号線といった各種の信号配線に応用できるという効果がある。

【0064】また、前記中継用配線は前記走査線と、前

(12)

21

記補助中継用配線は前記データ線と同一工程、同一材料で形成できるため工程を増加する必要が無く、アクティブマトリクス型液晶表示装置の表示ムラを抑制することができるという効果がある。

【図面の簡単な説明】

【図1】本発明が適用されるアクティブマトリクス型液晶表示装置を構成するアクティブマトリクス型液晶表示装置用基板の一例を示すブロック図。

【図2】本発明を、アクティブマトリクス型液晶表示装置における画像信号を供給する信号配線群とサンプルホール

ールド回路との接続部に適用した場合の実施例を示す配線レイアウト図。

【図3】図2の実施例の変形例を示す配線レイアウト図。

【図4】図2の実施例の他の変形例を示す配線レイアウト図。

【図5】図2の実施例のさらに他の変形例を示す配線レイアウト図。

【図6】図2の実施例のさらに他の変形例を示す配線レイアウト図。

【図7】本発明の第2の実施例を示す配線レイアウト図。

【図8】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるシフトレジスタ回路とそれにクロック信号を供給するクロック信号配線群を示す構成図。

【図9】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（前半）を工程順に示す断面図。

【図10】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（中盤）を工程順に示す断面図。

【図11】本発明を適用したアクティブマトリクス型液晶表示装置の画素TFT部および画像信号線部の製造プロセス（後半）を工程順に示す断面図。

【図12】(A)はアクティブマトリクス型液晶表示装置の平面図、(B)は(A)のY-Y'の断面図。

【図13】実施例のアクティブマトリクス型液晶表示装置をライトバルブとして応用した投写型表示装置の一例としてのデータプロジェクタ概略構成図。

【図14】相展開された画像信号とアクティブマトリクス型液晶表示装置のサンプリング信号との関係を示す一例としてのタイミングチャート。

【図15】アクティブマトリクス型液晶表示装置用基板における画像信号を供給する信号配線群とサンプルホール

ールド回路との接続関係を示す一例としての回路図。

【図16】アクティブマトリクス型液晶表示装置用基板における画像信号を供給する信号配線群とサンプルホール

ールド回路との接続配線を示すレイアウト図。

22

【図18】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるNAND回路とそれにイネーブル信号を供給する信号配線群を示す一例としての構成図。

【図19】本発明を適用して好適なアクティブマトリクス型液晶表示装置におけるイネーブル信号とサンプリング信号X1、X2、…、Xnの関係を示す一例としてのタイミングチャート図であり、(A)隣り合うサンプリング信号X1、X2、…、Xn間が互いにオーバーラップするタイミングチャート図、(B)隣り合うサンプリング信号X1、X2、…、Xn間が互いに離れているタイミングチャート。

【図20】本発明のアクティブマトリクス型液晶表示装置のサンプルホール回路及びプリチャージ回路を構成する等価回路を示しており、それぞれ(A)Nチャンネル型TFT、(B)Pチャンネル型TFT、(C)CMOS型TFTを示す等価回路図。

【符号の説明】

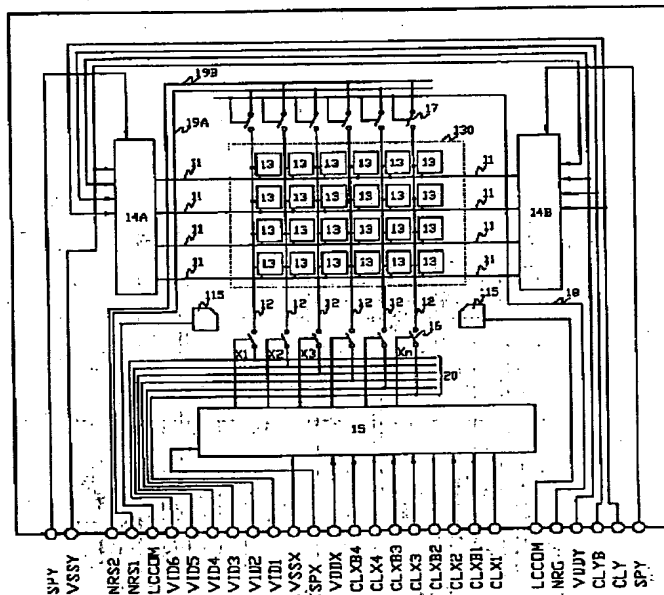
- 1 半導体層
- 1 a チャンネル領域
- 2 ゲート絶縁膜
- 3 ポリシリコン膜
- 3 a 容量線
- 4 第1層間絶縁膜
- 5, 8 コンタクトホール
- 6 アルミニウム膜
- 7 第2層間絶縁膜
- 9 ITO膜
- 9 a 画素電極
- 10 基板
- 11 走査線
- 12 データ線(ソース電極)
- 13 画素
- 14 A、14 B Yシフトレジスタ回路
- 15 データ線駆動回路
- 16 サンプルホール回路
- 17 プリチャージ回路
- 18 プリチャージ回路駆動信号線
- 19 A 画像補助入力信号線(NRS1)
- 19 B 画像補助入力信号線(NRS2)
- 20 画像信号配線群
- 41 サンプルホール用TFTソース電極
- 42 サンプルホール用TFTドレイン電極
- 42 A Pチャンネル型TFT
- 42 B Nチャンネル型TFT
- 43 サンプルホール用TFTソース電極側コンタクトホール
- 44 サンプルホール用TFTドレイン電極側コンタクトホール
- 45 画像信号線と中継用配線間のコンタクトホール

(13)

23

- 46 中継用配線と補助中継用配線間のコンタクトホール
 49A 画像補助入力信号線(NRS1)と中継用配線間のコンタクトホール
 49B 画像補助入力信号線(NRS2)と中継用配線間のコンタクトホール
 50A 中継用配線H1と補助中継用配線S1とのコンタクトホール
 50B 中継用配線H2と補助中継用配線S2とのコンタクトホール
 81, 82 イネーブル信号線からNAND回路までの中継用配線
 91~98 クロック信号線からシフトレジスタ回路までの中継用配線
 100 レジスト
 101 高濃度不純物イオン
 110 対向基板
 111 対向電極
 112 シール材

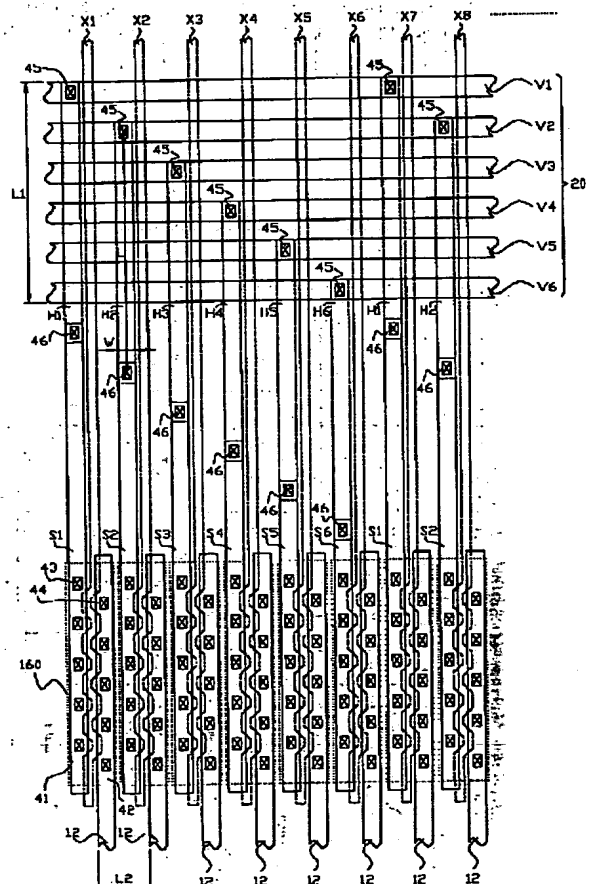
【図1】



24

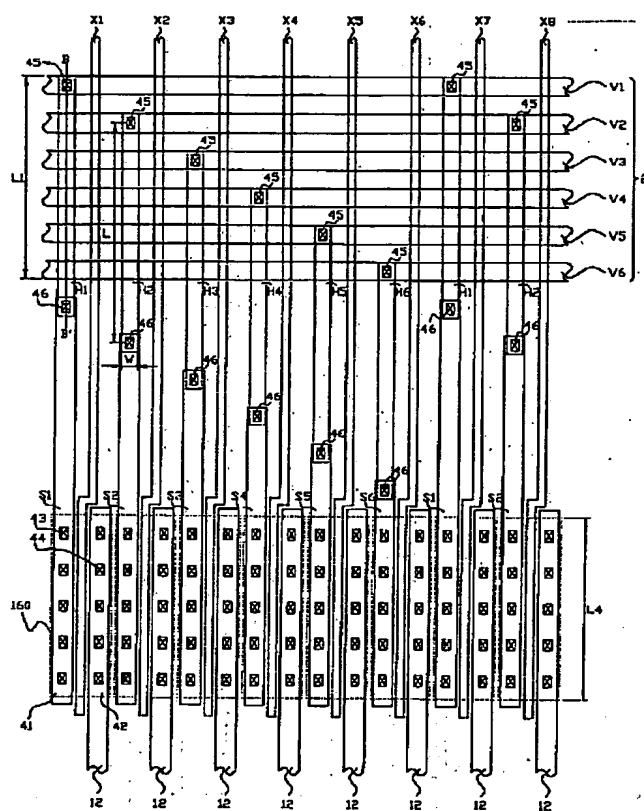
- 113 ブラックマトリクス
 115 上下導通端子
 116 外部入出力端子
 117 液晶
 118 封止剤
 130 画素領域
 150 Xシフトレジスタ回路
 160 サンプルホールド用TFT
 170 プリチャージ用TFT
 180 ポリシリコン配線
 200, 201 クロックドインバータ
 202, 203 NAND回路
 370 ランプ
 373, 375, 376 ダイクロイックミラー
 374, 377 反射ミラー
 378, 379, 380 ライトバルブ
 383 ダイクロイックプリズム
 384 投写レンズ
 385 制御装置

【図3】

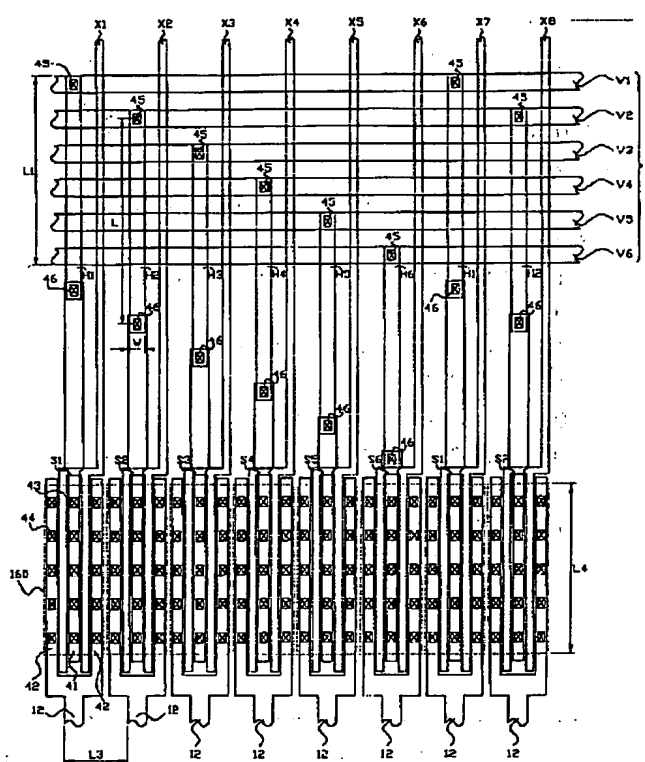


(14)

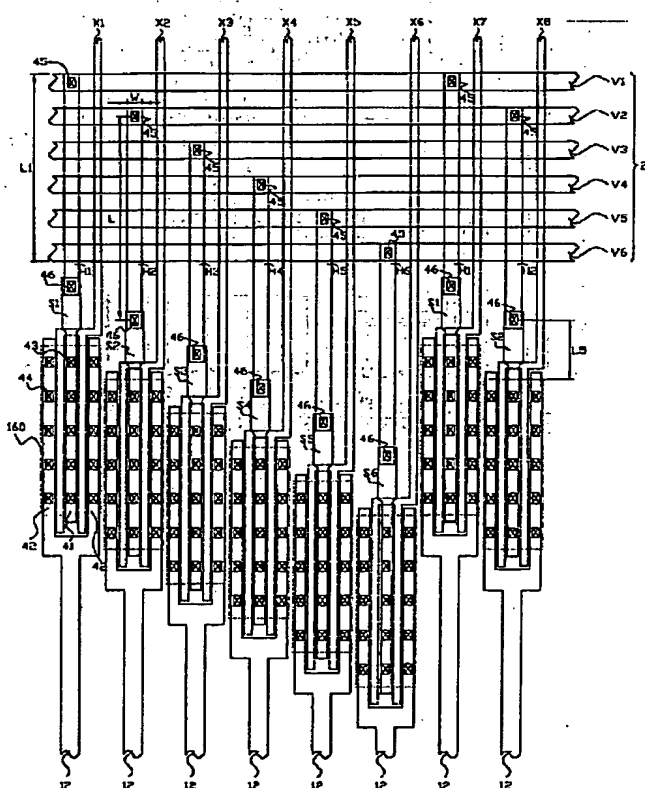
【図2】



【図4】

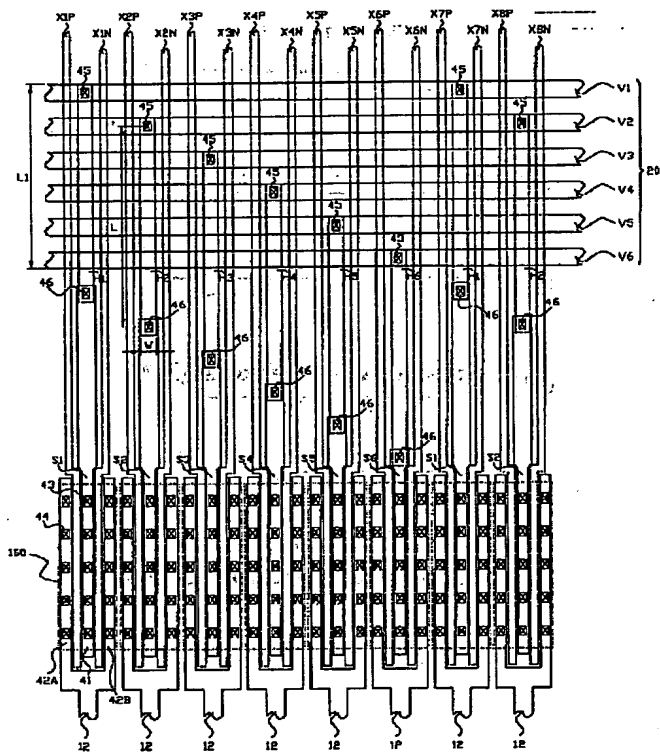


【図5】

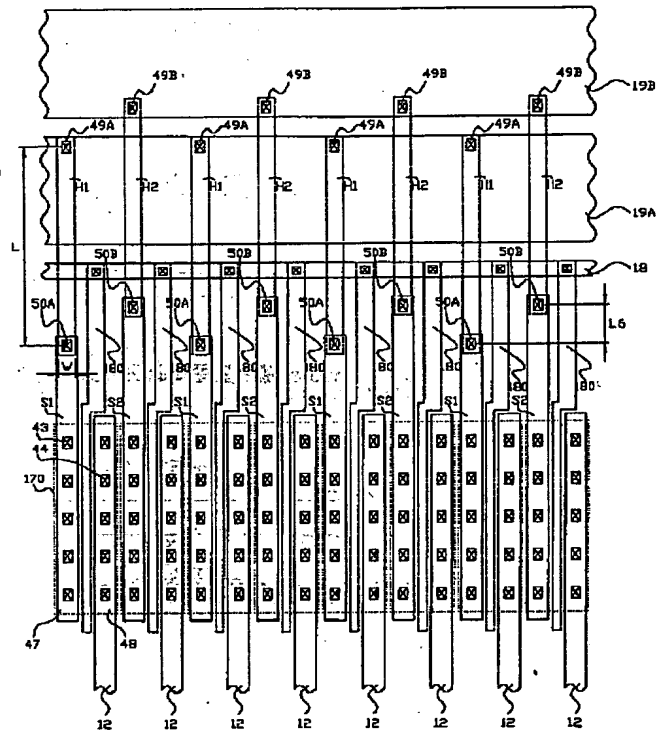


(15)

【図 6】

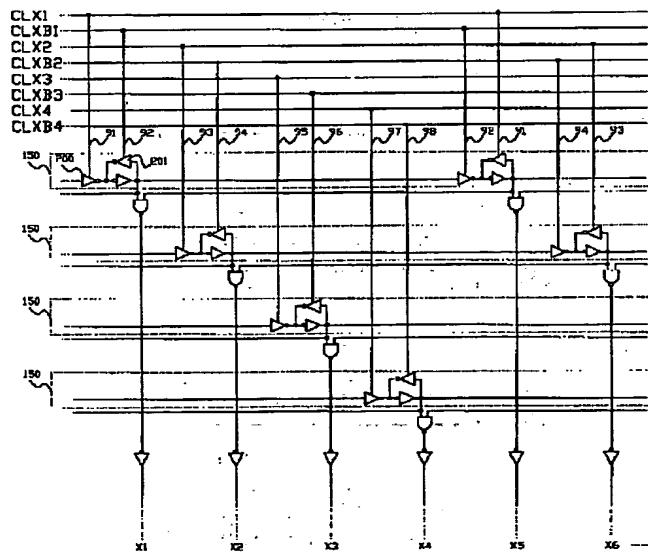


【図 7】

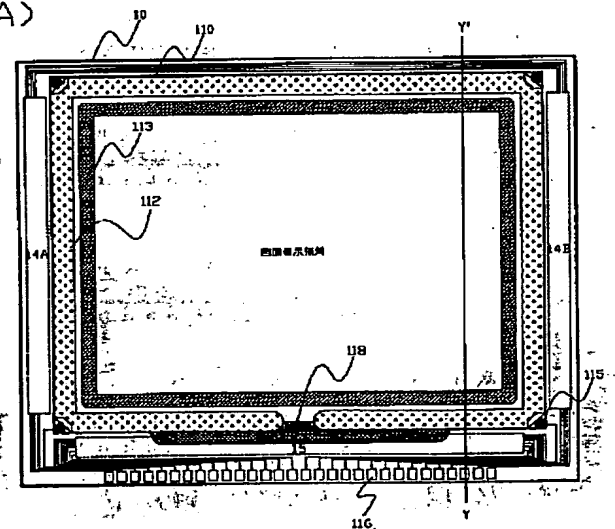


【図 12】

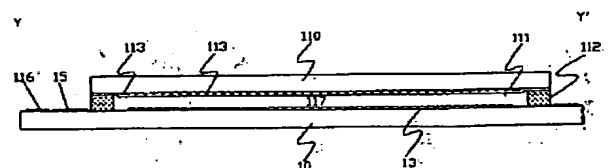
【図8】



(A)

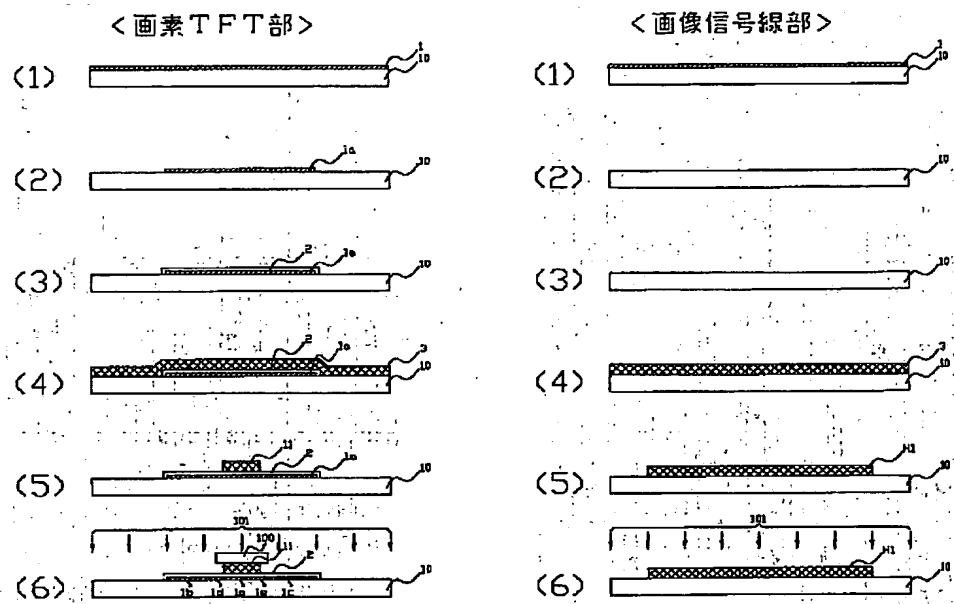


(B)

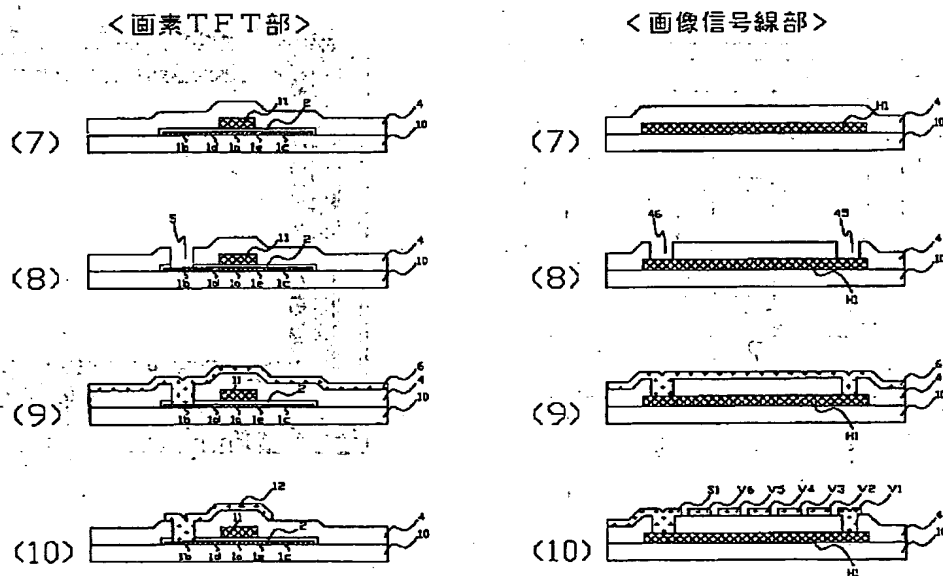


(16)

【図9】

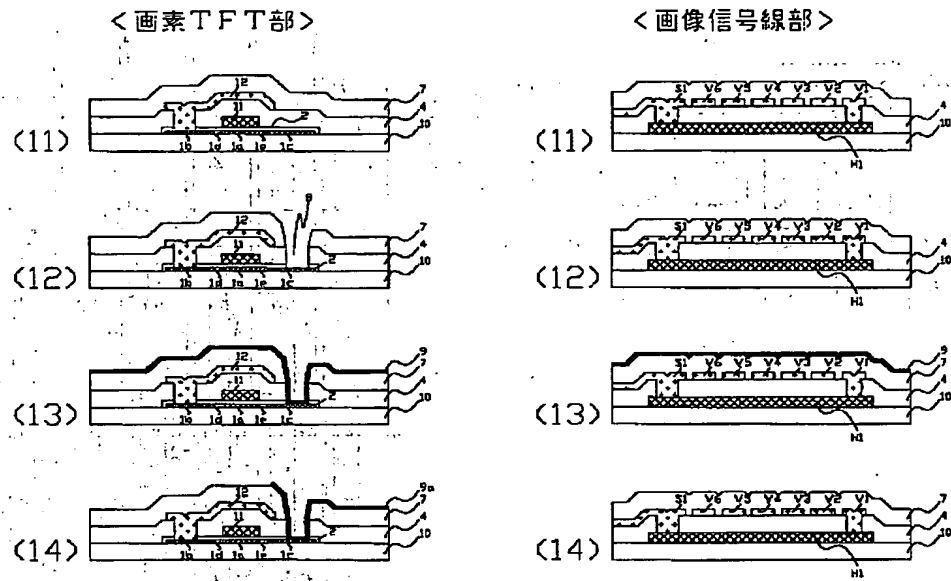


【図10】

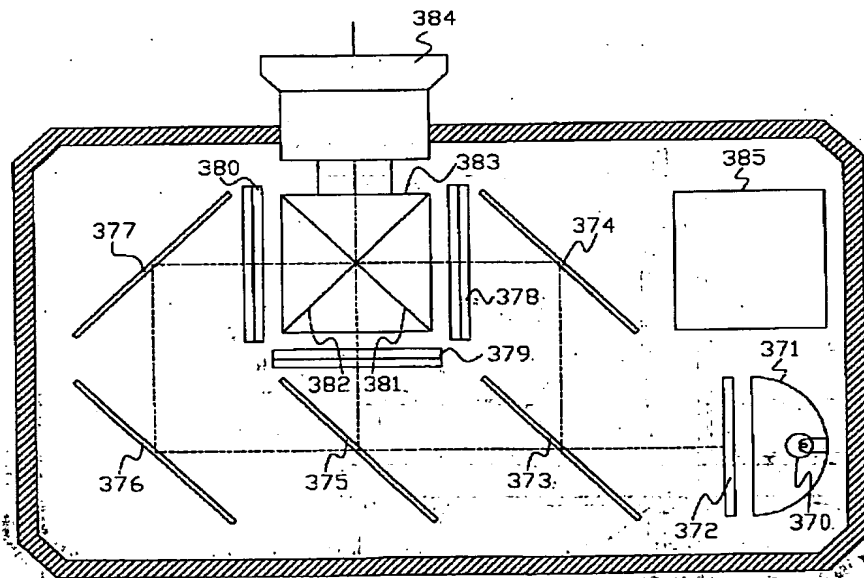


(17)

【図11】

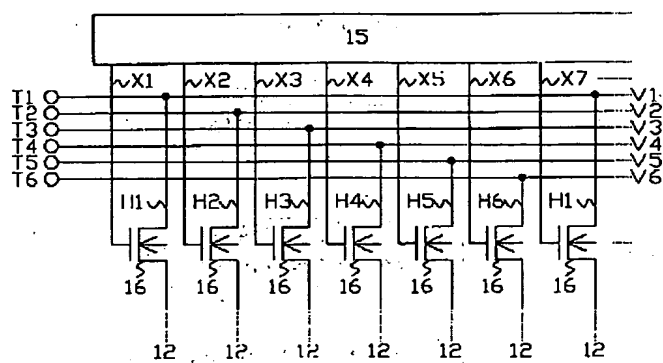


【図13】

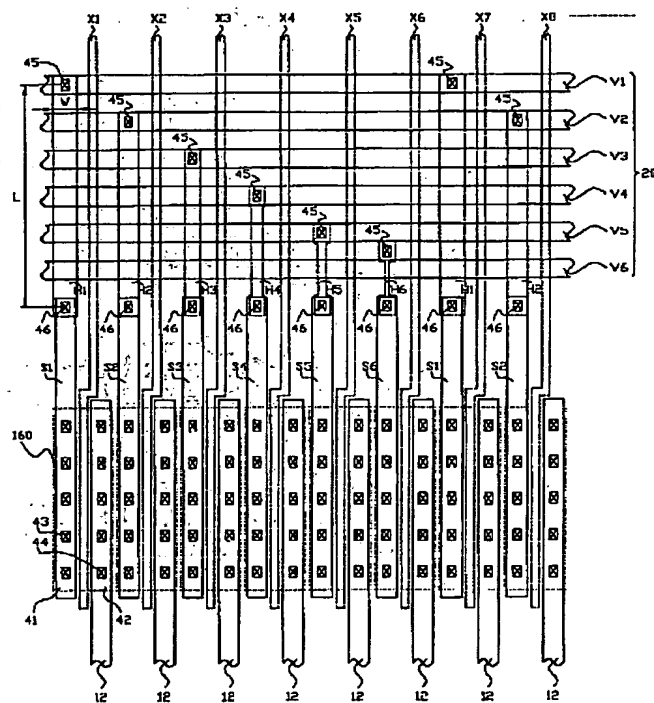


(18)

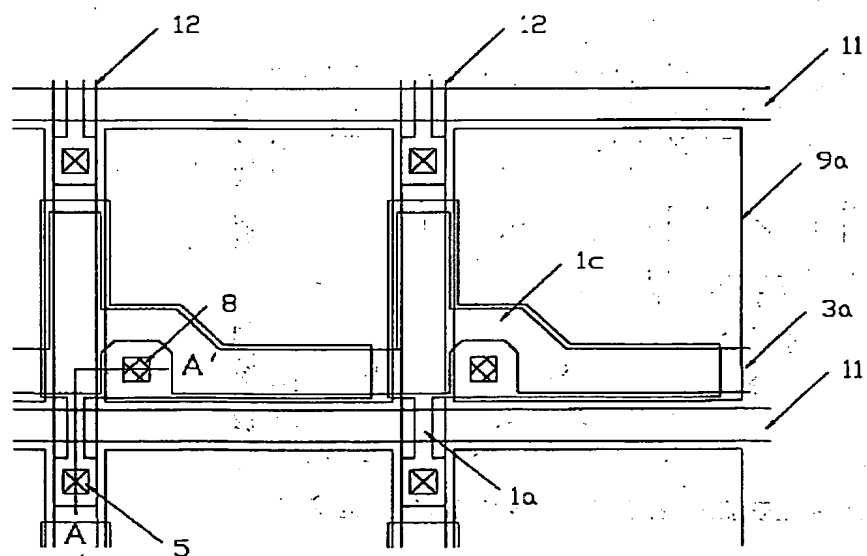
【図15】



【図16】

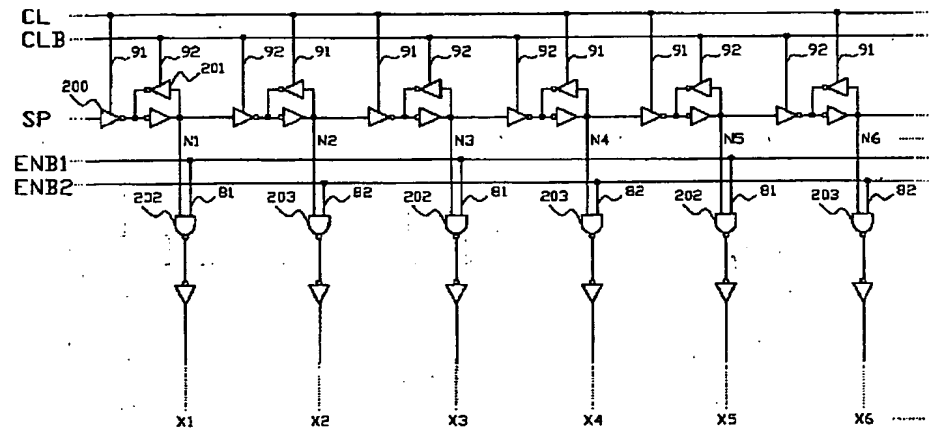


【図17】

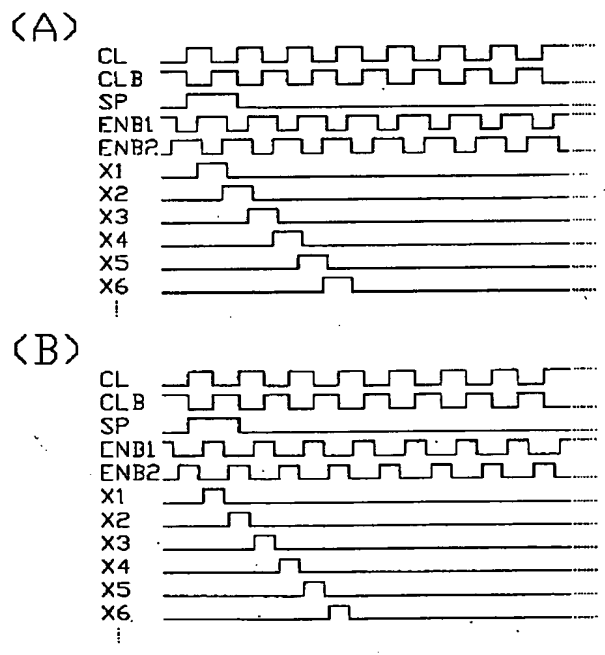


(19)

【図18】

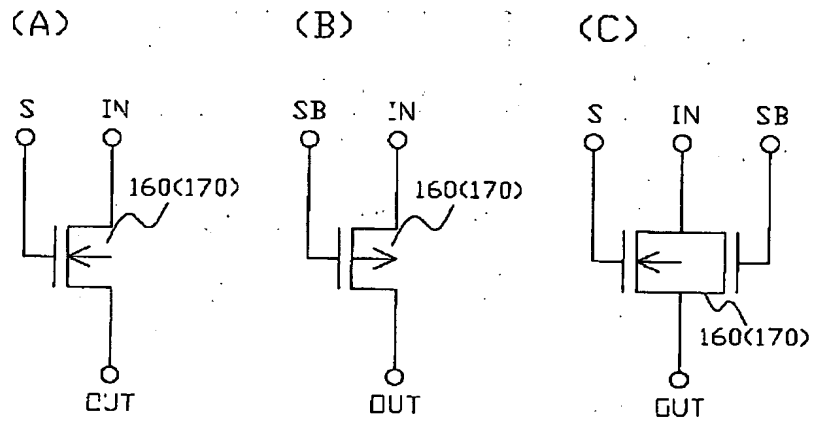


【図19】



(20)

【図20】



フロントページの続き

(51) Int. Cl. 6

H01L 21/336

識別記号

FI

H01L 29/78

617A

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成14年1月23日(2002.1.23)

【公開番号】特開平10-268350

【公開日】平成10年10月9日(1998.10.9)

【年通号数】公開特許公報10-2684

【出願番号】特願平9-74202

【国際特許分類第7版】

G02F 1/136 500

1/13 505

1/1345

G09F 9/30 330

H01L 29/786

21/336

【FI】

G02F 1/136 500

1/13 505

1/1345

G09F 9/30 330 Z

H01L 29/78 612 C

617 A

【手続補正書】

【提出日】平成13年6月14日(2001.6.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上に複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該信号配線と接続された中継用配線が該周辺駆動回路に接続されてなり、該中継用配線は、他の信号配線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とするアクティブマトリクス型液晶表示装置用基板。

【請求項2】 前記信号配線は、前記周辺駆動回路を制御する制御信号を伝送する信号配線であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項3】 前記複数の信号配線は前記中継用配線と交差し接続される領域では、互いにほぼ平行に配線され、該信号配線の線幅は互いにほぼ等しいことを特徴とする請求項1または2に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項4】 前記周辺駆動回路は複数のデータ線に接

続されたデータ線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項5】 前記周辺駆動回路は複数の前記走査線に接続された走査線駆動回路から成ることを特徴とする請求項1、2または3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項6】 基板上に複数の前記データ線が形成されてなり、該データ線に接続された前記データ線駆動回路が形成されてなるアクティブマトリクス型液晶表示装置用基板において、該データ線駆動回路により制御され、複数の画像信号線と該画像信号線に供給される画像信号をサンプリングしてデータ線に供給するサンプルホールド回路とを有し、該画像信号線と接続された中継用配線が該サンプルホールド回路に接続されてなり、該中継用配線は、他の画像信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3または4に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項7】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記サンプルホールド回路が接続されてなり、該補助中継用配線は接続される前記画像信号線によって、長さが異なることを特徴とする請求項1、2、3、4または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項8】 前記画像信号線は、外部から入力される

(2)

前記画像信号を伝送する信号配線であることを特徴とする請求項1、2、3、4、6または7に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項9】 前記画像信号線に伝送される画像信号は、信号配線数だけ相展開された画像信号であることを特徴とする請求項1、2、3、4、6、7または8に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項10】 1水平帰線期間中に、複数の画像補助入力信号線に供給される画像補助入力信号をサンプリングして前記データ線に供給するプリチャージ回路を有し、該画像補助入力信号線と接続された中継用配線が該プリチャージ回路に接続されてなり、該中継用配線は、他の画像補助入力信号線に接続された他の中継用配線と配線幅及び長さ及び膜厚が互いにほぼ等しくすることを特徴とする請求項1、2、3に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項11】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記プリチャージ回路が接続されてなり、該補助中継用配線は接続される前記画像補助入力信号線によって、長さが異なることを特徴とする請求項1、2、3または10に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項12】 前記画像補助入力信号線は、外部から入力される前記画像補助入力信号を伝送する信号配線であることを特徴とする請求項1、2、3、10または11に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項13】 前記データ線駆動回路及び走査線駆動回路は少なくともシフトレジスタ回路からなることを特徴とする請求項1、2、3、4、5または6に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項14】 前記中継用配線は補助中継用配線と接続され、該補助中継用配線と前記シフトレジスタ回路が接続されてなり、該補助中継用配線は接続される前記信号配線によって、長さが異なることを特徴とする請求項1、2、3、4、5、6、12または13に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項15】 前記信号配線は、前記クロック信号を伝送するクロック信号配線であることを特徴とする請求項1、2、3、4、5、6、13または14に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項16】 前記中継用配線は、ポリシリコン膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14または15に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項17】 前記中継用配線は、前記走査線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15または16に記載のアクティブマ

トリクス型液晶表示装置用基板。

【請求項18】 前記補助中継用配線は、アルミニウム膜もしくはアルミニウム合金膜で構成されていることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16または17に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項19】 前記補助中継用配線は、前記データ線と同一工程で形成された導電膜であることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17または18に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項20】 前記周辺駆動回路を構成するトランジスタは、P型薄膜トランジスタおよびN型薄膜トランジスタから成る相補型薄膜トランジスタであることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18または19に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項21】 前記データ線駆動回路に接続された複数の前記データ線と前記走査線駆動回路に接続された複数の前記走査線が交差して配置されて成り、該データ線に接続した画素トランジスタのゲート電極は該走査線で形成されて成り、該画素トランジスタに画素電極が接続されて成ることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19または20に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項22】 前記データ線に接続された前記データ線駆動回路と前記走査線に接続された前記走査線駆動回路と該データ線及び該走査線に接続した前記画素トランジスタと該画素トランジスタに接続された画素電極が同一基板上に形成されてなることを特徴とする請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19、20または21に記載のアクティブマトリクス型液晶表示装置用基板。

【請求項23】 請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、18、19、20、21または22に記載のアクティブマトリクス型液晶表示装置用基板と、対向電極を有する透明性の対向基板とが適当な間隔をおいて配置されるとともに、該アクティブマトリクス型液晶表示装置用基板と該対向基板との間隔内に液晶が封入されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項24】 光源と、該光源からの光を変調して、透過もしくは反射する請求項23に記載のアクティブマトリクス型液晶表示装置と、該アクティブマトリクス型液晶表示装置により変調された光を集光し拡大投射する投写光学手段とを備えていることを特徴とする投写型表

(3)

3

示装置。

【請求項25】 複数のゲート線及び複数のソース線と、該複数のゲート線及びソース線に接続されたシリコン薄膜トランジスタとを有する画素マトリクスを駆動するアクティブマトリクス表示装置用駆動回路において、基板上に、複数のソース線に信号を供給するソース線ドライバ回路が配置されてなり、該ソース線ドライバ回路はシフトレジスタ、及び該シフトレジスタの出力により制御され、複数の信号配線に供給されるデータ信号をサンプリングして該複数のソース線に供給する複数の

サンプルホールド手段とを有し、
該複数の画像信号線は複数の中継用配線を介して該複数のサンプリング手段に接続されてなり、異なる画像信号バスに接続される中継用配線は、配線抵抗がほぼ等しくなるように幅及び長さが互いにほぼ等しくすることを特徴とするアクティブマトリクス表示装置用駆動回路。

【請求項26】 複数の信号配線と、該信号配線に接続され、薄膜トランジスタを有した周辺回路が形成されて

4

なるアクティブマトリクス型液晶表示装置において、前記周辺回路を構成し、前記信号配線と同抵抗の複数の周辺回路側配線と、前記複数の信号配線と前記複数の周辺回路側配線の各々を電氣的に接続し、前記信号配線の抵抗より高く、各々の抵抗が同じである複数の中継用配線とを備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項27】 前記複数の中継用配線は、同一パターン形状であることを特徴とする請求項26に記載のアクティブマトリクス型液晶表示装置。

【請求項28】 前記複数の信号配線と前記複数の周辺回路側配線は同一膜で形成されると共に、前記複数の中継用配線は前記複数の信号配線とは絶縁膜を介して配置されると共に、コンタクトホールを介して前記信号配線と前記周辺回路側配線とに接続されることを特徴とする請求項26又は請求項27に記載のアクティブマトリクス型液晶表示装置。

10